

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-152191

(P2003-152191A)

(43) 公開日 平成15年5月23日 (2003.5.23)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/00	3 4 2 Z 5 C 0 9 4
G 0 9 F 9/00	3 4 2	9/30	3 3 8 5 F 0 4 8
9/30	3 3 8	9/35	5 F 0 5 2
9/35		H 0 1 L 21/20	5 F 0 7 2
審査請求 未請求 請求項の数24 O L (全 34 頁) 最終頁に続く			

(21) 出願番号 特願2001-352046(P2001-352046)

(22) 出願日 平成13年11月16日 (2001.11.16)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 田中 幸一郎

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

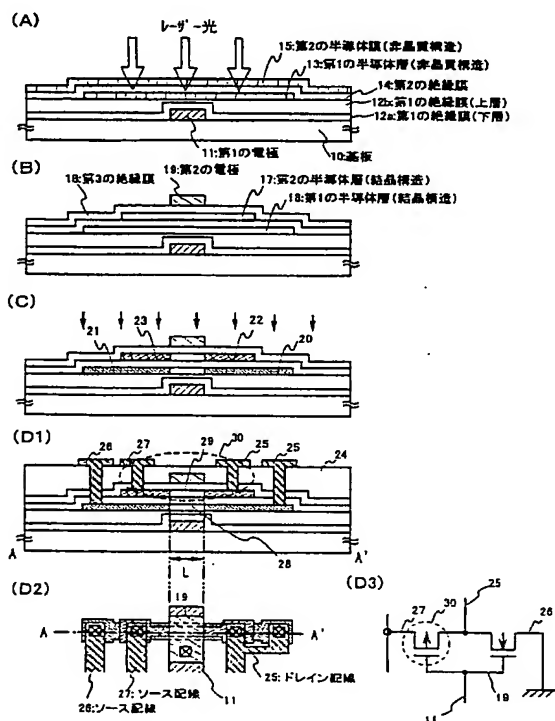
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 半導体装置において、今後のさらなる高精細化 (画素数の増大) 及び小型化に伴う各表示画素ピッチの微細化を進められるように、複数の素子を限られた面積に形成し、素子が占める面積を縮小して集積することを課題とする。

【解決手段】 本発明は、絶縁膜 14 を間に挟んで異なる層に複数の半導体層 13、15 を設け、レーザー光で結晶化した後、各半導体層 (結晶構造を有する半導体層 16、17) で逆スタガ構造の n チャネル型 T F T とトップゲート構造の p チャネル型 T F T 3 O とをそれぞれ形成して集積し、C M O S 回路規模を小さくする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】絶縁表面上に、結晶構造を有する半導体膜からなる第 1 の半導体層を有する第 1 の素子と、前記第 1 の半導体層上に絶縁膜と、該絶縁膜上に結晶構造を有する半導体膜からなる第 2 の半導体層を有する第 2 の素子とを有し、前記第 1 の半導体層と前記第 2 の半導体層の間には前記絶縁膜のみを有しており、前記第 1 の半導体層の一部は、前記絶縁膜を挟んで前記第 2 の半導体層の一部と重なっていることを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記第 1 の素子及び前記第 2 の素子は、n チャネル型 T F T、p チャネル型 T F T、メモリ素子、薄膜ダイオード、シリコンの P I N 接合からなる光電変換素子、またはシリコン抵抗素子であることを特徴とする半導体装置。

【請求項 3】絶縁表面上に設けられた C M O S 回路を有する半導体装置であって、第 1 の半導体層を活性層とする n チャネル型 T F T と、前記第 1 の半導体層上に絶縁膜と、該絶縁膜上に第 2 の半導体層を活性層とする p チャネル型 T F T とが相補的に接続され、前記第 1 の半導体層と前記第 2 の半導体層の間には前記絶縁膜のみを有しており、前記第 2 の半導体層の上方には前記 p チャネル型 T F T のゲート絶縁膜及びゲート電極を有し、前記第 1 の半導体層の下方には前記 n チャネル型 T F T のゲート絶縁膜及びゲート電極を有し、前記第 1 の半導体層の一部が前記絶縁膜を挟んで前記第 2 の半導体層の一部と重なっていることを特徴とする半導体装置。

【請求項 4】絶縁表面上に設けられた C M O S 回路を有する半導体装置であって、第 1 の半導体層を活性層とする p チャネル型 T F T と、前記第 1 の半導体層上に絶縁膜と、該絶縁膜上に第 2 の半導体層を活性層とする n チャネル型 T F T とが相補的に接続され、前記第 1 の半導体層と前記第 2 の半導体層の間には前記絶縁膜のみを有しており、前記第 2 の半導体層の上方には前記 n チャネル型 T F T のゲート絶縁膜及びゲート電極を有し、前記第 1 の半導体層の下方には前記 p チャネル型 T F T のゲート絶縁膜及びゲート電極を有し、前記第 1 の半導体層の一部が絶縁膜を挟んで前記第 2 の半導体層の一部と重なっていることを特徴とする半導体装置。

【請求項 5】絶縁表面上に設けられた O L E D を有する半導体装置であって、第 1 の半導体層を活性層とする n チャネル型 T F T と、前記第 1 の半導体層上に絶縁膜と、該絶縁膜上に第 2 の半導体層を活性層とする p チャネル型 T F T とを有し、前記 p チャネル型 T F T は、O L E D に接続され、前記第 1 の半導体層と前記第 2 の半導体層の間には前記絶縁膜のみを有しており、前記第 2 の半導体層の上方には前記 p チャネル型 T F T のゲート絶縁膜及びゲート電極を有し、前記第 1 の半導体層の下方には前記 n チャネル型 T F T のゲート絶縁膜及びゲート電極を有し、前記第 1 の半導体層の一部が絶縁膜を挟んで前記第 2 の半導体層の一部と重なっていることを特

徴とする半導体装置。

【請求項 6】絶縁表面上に設けられた C M O S 回路を有する半導体装置であって、第 1 の半導体層を活性層とする n チャネル型 T F T と、前記第 1 の半導体層上に絶縁膜と、該絶縁膜上に第 2 の半導体層を活性層とする p チャネル型 T F T とが相補的に接続され、前記第 1 の半導体層と前記第 2 の半導体層の間には前記絶縁膜のみを有しており、前記第 2 の半導体層の上方にはゲート絶縁膜及びゲート電極を有し、前記 n チャネル型 T F T と前記 p チャネル型 T F T の前記ゲート電極は同一であり、前記第 1 の半導体層の一部が前記絶縁膜を挟んで前記第 2 の半導体層の一部と重なっていることを特徴とする半導体装置。

【請求項 7】請求項 3 乃至 6 のいずれか一において、前記第 1 の半導体層の一部が絶縁膜を挟んで前記第 2 の半導体層の一部と重なっている領域はチャンネル形成領域であることを特徴とする半導体装置。

【請求項 8】請求項 3 乃至 7 のいずれか一において、前記第 1 の半導体層の一部が絶縁膜を挟んで前記第 2 の半導体層の一部と重なっている領域はソース領域またはドレイン領域であることを特徴とする半導体装置。

【請求項 9】絶縁表面上に設けられた複数のチャンネル形成領域を備えた T F T を有する半導体装置であって、第 1 の半導体層と、第 2 の半導体層とを活性層とする T F T であり、前記第 1 の半導体層と前記第 2 の半導体層とは電極で電氣的に接続されており、前記第 1 の半導体層と前記第 2 の半導体層の間には絶縁膜のみを有しており、前記第 2 の半導体層上に T F T のゲート絶縁膜と、該ゲート絶縁膜上にゲート電極とを有し、前記第 2 の半導体層のうち、前記ゲート絶縁膜を間に挟んで前記ゲート電極と重なる領域が第 2 のチャンネル形成領域であり、前記第 1 の半導体層のうち、前記ゲート絶縁膜及び前記第 2 のチャンネル形成領域及び前記絶縁膜を間に挟んで前記ゲート電極と重なる領域が第 1 のチャンネル形成領域であることを特徴とする半導体装置。

【請求項 10】請求項 3 乃至 9 のいずれか一において、前記第 1 の半導体層と前記第 2 の半導体層は、結晶構造を有する半導体膜であることを特徴とする半導体装置。

【請求項 11】請求項 3 乃至 10 のいずれか一において、前記第 1 の半導体層におけるチャンネル形成領域のチャンネル長と、前記第 2 の半導体層におけるチャンネル形成領域のチャンネル長とが同一であることを特徴とする半導体装置。

【請求項 12】請求項 1 乃至 11 のいずれか一において、前記第 1 の半導体層の膜厚は、前記第 2 の半導体層と同じ、若しくは前記第 2 の半導体層の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 13】絶縁表面上に第 1 の非晶質構造を有する半導体膜を形成する第 1 工程と、該半導体膜上に絶縁膜を形成する第 2 工程と、該絶縁膜上に第 2 の非晶質構造

を有する半導体膜を形成する第3工程と、前記第1の非晶質構造を有する半導体膜と、前記第2の非晶質構造を有する半導体膜とに対してレーザー光を照射し、同時に前記第1の結晶構造を有する半導体膜と、前記第2の結晶構造を有する半導体膜とを形成する第4工程とを有する半導体装置の作製方法。

【請求項14】請求項13において、前記レーザー光は、400nm～800nmの波長域を有する光であることを特徴とする半導体装置の作製方法。

【請求項15】請求項13または請求項14において、前記レーザー光は、連続発振型の固体レーザから出射した光であることを特徴とする半導体装置の作製方法。

【請求項16】請求項13乃至15のいずれかにおける前記第4工程において、前記レーザー光の一部は、前記第1の非晶質構造を有する半導体膜を通過し、さらに前記絶縁膜を通過して前記第2の非晶質構造を有する半導体膜に吸収されることを特徴とする半導体装置の作製方法。

【請求項17】請求項13乃至16のいずれかにおける前記第4工程において、前記レーザー光の一部は、第2の非晶質構造を有する半導体膜で反射し、前記第1の非晶質構造を有する半導体膜に照射されることを特徴とする半導体装置の作製方法。

【請求項18】請求項13乃至17のいずれかにおける前記第4工程において、前記レーザー光の一部は、前記第1の非晶質構造を有する半導体膜と第2の非晶質構造を有する半導体膜との間で反射を繰り返し、いずれか一方に吸収されることを特徴とする半導体装置の作製方法。

【請求項19】請求項13乃至18のいずれかにおける前記第4工程において、第1の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーと、第2の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーとを同一とすることを特徴とする半導体装置の作製方法。

【請求項20】請求項13乃至18のいずれかにおける前記第4工程において、第1の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーと、第2の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーとを異ならせることを特徴とする半導体装置の作製方法。

【請求項21】絶縁表面上に第1の非晶質構造を有する半導体膜を形成する第1工程と、該半導体膜上に第1の絶縁膜を形成する第2工程と、該第1の絶縁膜上に第2の非晶質構造を有する半導体膜を形成する第3工程と、前記第1の非晶質構造を有する半導体膜及び前記第1の絶縁膜を通過させて、前記第2の非晶質構造を有する半導体膜にレーザー光を照射し、同時に前記第1の結晶構造を有する半導体膜と、前記第2の結晶構造を有する半導体膜とを形成する第4工程と、該第2の結晶構造を有

する半導体膜上に第2の絶縁膜を形成する第5工程と、前記第2の絶縁膜上にゲート電極を形成する第6工程と、前記ゲート電極をマスクとして前記第1の結晶構造を有する半導体膜または前記第2の結晶構造を有する半導体膜に対してn型またはp型を付与する不純物元素を添加する第7工程とを有する半導体装置の作製方法。

【請求項22】絶縁表面上に第1のゲート電極を形成する第1工程と、前記第1のゲート電極を覆う第1の絶縁膜を形成する第2工程と、前記第1の絶縁膜上に第1の非晶質構造を有する半導体膜を形成する第3工程と、該半導体膜上に第2の絶縁膜を形成する第4工程と、該第2の絶縁膜上に第2の非晶質構造を有する半導体膜を形成する第5工程と、前記第1の非晶質構造を有する半導体膜及び前記第2の絶縁膜を通過させて、前記第2の非晶質構造を有する半導体膜にレーザー光を照射し、同時に前記第1の結晶構造を有する半導体膜と、前記第2の結晶構造を有する半導体膜とを形成する第6工程と、該第2の結晶構造を有する半導体膜上に第3の絶縁膜を形成する第7工程と、前記第3の絶縁膜上に第2のゲート電極を形成する第8工程と、前記第2のゲート電極をマスクとして前記第1の結晶構造を有する半導体膜または前記第2の結晶構造を有する半導体膜に対してn型またはp型を付与する不純物元素を添加する第9工程とを有する半導体装置の作製方法。

【請求項23】請求項22において、前記第1のゲート電極を前記第1の結晶構造を有する半導体膜を活性層とするTFTのゲート電極とし、前記第2のゲート電極を前記第2の結晶構造を有する半導体膜を活性層とするTFTのゲート電極とすることを特徴とする半導体装置の作製方法。

【請求項24】絶縁表面上に設けられた非晶質構造または結晶構造を有する第1の半導体膜と、該半導体膜上に絶縁膜と、該絶縁膜上に非晶質構造または結晶構造を有する第2の半導体膜とに対してレーザー光を照射し、同時に前記第1の半導体膜と、前記第2の半導体膜とをアニールする工程を有する半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびエレクトロルミネッセンス表示装置に代表される発光装置、およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に各種機器の表示装置のスイッチング素子として開発が急がれている。

【0004】特に、マトリクス上に配置された表示画素毎にTFTからなるスイッチング素子を設けたアクティブマトリクス型の液晶表示装置が開発されている。

【0005】アクティブマトリクス型の液晶表示装置においては、画素部において有効画面領域を広げる開発が進められている。有効画面領域の面積を大きくするには画素部に配置されるTFTの占める面積をできるだけ小さくする必要に迫られている。また、製造コストの低減を図るために駆動回路を画素部と同一基板上に作り込む開発も進められている。同一基板上に駆動回路と画素部を形成した場合、駆動回路をTAB方式で実装したものと比べて、額縁部と呼ばれる画素領域以外の領域が占める面積が大きくなる傾向がある。額縁部の面積を小さくするために、駆動回路を構成する回路規模を小さくする必要にも迫られている。

【0006】

【発明が解決しようとする課題】特に、有機発光素子（OLED: Organic Light Emitting Device）においては、1つの画素に役割の異なる複数のTFTが必要とされている。また、液晶表示装置においても、1つの画素にスイッチング用のTFTとSRAMなどの記憶素子とを形成する試みがなされている。また、同一基板上に画素部と駆動回路とを形成する場合においても、できるだけ小型化することが望まれている。このように、ある限られた面積内に複数の素子を形成しようとする場合、平面に並べて素子を配置する設計、あるいは素子を積みあげる設計が考えられる。平面に並べて素子を配置する場合、占める所要面積が必要となるので面積が限られている場合、限界がある。また、素子を積み上げる設計をする場合、例えば2つのTFTを積み上げる場合、単純に工程数が2倍もしくはそれ以上となってしまう、工程の複雑化、コストの増大、スループットの低下、歩留まりの低下に結び付いてしまう。

【0007】また、素子を積み上げる設計をする従来の技術として、例えば、特開平10-93099号公報、特開平10-93100号公報があり、半導体基板上にFETとTFTとを積み重ねた構造が開示されている。また、特開平11-40772号公報にはバルクトランジスタ上に絶縁膜を介してTFTを重畳させて配置する構造が開示されている。これらの公報では、いずれも半導体基板を用い、FETやバルクトランジスタを形成し、その上に単純にTFTを形成しているものである。

【0008】本発明は、液晶表示装置に代表される電気光学装置、OLEDを有する発光装置、ならびに半導体

装置において、今後のさらなる高精細化（画素数の増大）及び小型化に伴う各表示画素ピッチの微細化を進められるように、複数の素子を限られた面積に形成し、素子が占める面積を縮小して集積することを課題とする。

【0009】

【課題を解決するための手段】本発明は、それぞれ絶縁膜を間に挟んで異なる層に設けられた複数の半導体層（結晶構造を有する半導体膜）が互いに一部重なるように配置し、各半導体層で機能の異なる複数の素子を形成して集積し、回路規模を小さくすることを特徴としている。なお、前記素子とは、薄膜トランジスタ（pチャネル型TFT、nチャネル型TFT）、メモリ素子、薄膜ダイオード、シリコンのPIN接合からなる光電変換素子、またはシリコン抵抗素子である。

【0010】本明細書で開示する発明の構成1は、絶縁表面上に、結晶構造を有する半導体膜からなる第1の半導体層を有する第1の素子と、前記第1の半導体層上に絶縁膜と、該絶縁膜上に結晶構造を有する半導体膜からなる第2の半導体層を有する第2の素子とを有し、前記第1の半導体層と前記第2の半導体層の間には前記絶縁膜のみを有しており、前記第1の半導体層の一部は、前記絶縁膜を挟んで前記第2の半導体層の一部と重なっていることを特徴とする半導体装置である。

【0011】代表的には、絶縁膜を間に挟んで異なる層に2層の半導体層（代表的にはポリシリコン膜）を設け、2層の半導体層のうち、下層の半導体層の下方にゲート電極を設けて逆スタガ型TFTを設置し、上層の半導体層の上にゲート電極を設けてトップゲート型TFTを設置する。また、上層の半導体層にp型を付与する不純物元素を添加してもよいし、下層の半導体層にn型を付与する不純物元素を添加してもよく、それぞれnチャネル型TFTやpチャネル型TFTを形成することができる。これらのTFTを組み合わせることによって従来よりも小さい面積でCMOS回路（インバータ回路、NAND回路、AND回路、NOR回路、OR回路、シフトレジスタ回路、サンプリング回路、D/Aコンバータ回路、A/Dコンバータ回路、ラッチ回路、バッファ回路など）を構成することができる。CMOS回路とは、少なくとも一つのnチャネル型TFTと一つのpチャネル型TFTとを有する回路を指している。加えて、これらのCMOS回路を組み合わせることによってSRAMやDRAMなどのメモリ素子やその他の素子を構成することができる。従って、様々な回路や素子を有する駆動回路が占める面積を小さくすることができ、額縁部の面積が小さくなるので全体のサイズがよりコンパクトになる。

【0012】本明細書で開示する発明の構成2は、図1にその代表的な例を示すように、nチャネル型TFT上にpチャネル型TFTを形成した構成、即ち、絶縁表面上に設けられたCMOS回路を有する半導体装置であっ

て、第1の半導体層を活性層とするnチャネル型TFTと、前記第1の半導体層上に絶縁膜と、該絶縁膜上に第2の半導体層を活性層とするpチャネル型TFTとが相補的に接続され、前記第1の半導体層と前記第2の半導体層の間には前記絶縁膜のみを有しており、前記第2の半導体層の上方には前記pチャネル型TFTのゲート絶縁膜及びゲート電極を有し、前記第1の半導体層の下方には前記nチャネル型TFTのゲート絶縁膜及びゲート電極を有し、前記第1の半導体層の一部が前記絶縁膜を挟んで前記第2の半導体層の一部と重なっていることを特徴とする半導体装置である。

【0013】また、導電型を付与する不純物元素のドーピング処理の際、自己整合的にトップゲート型TFTのゲート電極をマスクとして行えば、マスク数を削減でき、同一のチャネル長を有するトップゲート型TFTと逆スタガ型TFTとが実現できる。

【0014】また、本明細書で開示する発明の構成3は、pチャネル型TFT上にnチャネル型TFTを形成した構成、即ち、絶縁表面上に設けられたCMOS回路を有する半導体装置であって、第1の半導体層を活性層とするpチャネル型TFTと、前記第1の半導体層上に絶縁膜と、該絶縁膜上に第2の半導体層を活性層とするnチャネル型TFTとが相補的に接続され、前記第1の半導体層と前記第2の半導体層の間には前記絶縁膜のみを有しており、前記第2の半導体層の上方には前記nチャネル型TFTのゲート絶縁膜及びゲート電極を有し、前記第1の半導体層の下方には前記pチャネル型TFTのゲート絶縁膜及びゲート電極を有し、前記第1の半導体層の一部が絶縁膜を挟んで前記第2の半導体層の一部と重なっていることを特徴とする半導体装置である。

【0015】また、本発明により、OLEDを有する発光装置において、一つの画素にスイッチング用TFTと電流制御用TFTとを小さい面積で形成することができる。従って、有効画面領域の面積を大きくすることができ、さらに一つの画素サイズを小さくすることができるため、高精細な発光装置を実現することができる。

【0016】また、本明細書で開示する発明の構成4は、絶縁表面上に設けられたOLEDを有する半導体装置であって、第1の半導体層を活性層とするnチャネル型TFTと、前記第1の半導体層上に絶縁膜と、該絶縁膜上に第2の半導体層を活性層とするpチャネル型TFTとを有し、前記pチャネル型TFTは、OLEDに接続され、前記第1の半導体層と前記第2の半導体層の間には前記絶縁膜のみを有しており、前記第2の半導体層の上方には前記pチャネル型TFTのゲート絶縁膜及びゲート電極を有し、前記第1の半導体層の下方には前記nチャネル型TFTのゲート絶縁膜及びゲート電極を有し、前記第1の半導体層の一部が絶縁膜を挟んで前記第2の半導体層の一部と重なっていることを特徴とする半導体装置である。

【0017】なお、本明細書では、OLEDの陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0018】OLEDは、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極と、陰極とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0019】また、液晶表示装置においても、本発明により、一つの画素にスイッチング用TFTとインバータ回路からなるメモリ素子 (SRAM、DRAMなど) とを小さい面積で形成し、有効画面領域の面積を大きくすることができ、さらに一つの画素サイズを小さくすることができるため、高精細な液晶表示装置を実現することができる。

【0020】また、2層の半導体層両方にn型を付与する不純物元素を添加することによって、2つのnチャネル型TFT (トップゲート型と逆スタガ型) を形成することもできる。

【0021】また、上記構成1～4とは異なる構成として、1つの半導体層に1つのゲート電極を設けるのではなく、2つの半導体層に1つのゲート電極を設けてもよい。その場合、2層の半導体層のうち、下層の半導体層の下方、或いは、上層の半導体層の上方にゲート電極を設ける。また、2つの半導体層に1つのゲート電極を設け、2つの層の半導体層にn型或いはp型を付与する不純物元素を添加した場合、2層の半導体層に挟まれた絶縁膜の厚さによってしきい値電圧が異なる。また、上層の半導体層にp型を付与する不純物元素を添加し、下層の半導体層にn型を付与する不純物元素を添加してもよく、それぞれnチャネル型TFTやpチャネル型TFTを形成することができる。共通のゲート電極を備えているため、ゲート電極をマスクとして導電型を付与する不純物元素のドーピングを行えば、チャネル長を同一とすることができる。これらのTFTを組み合わせることによって小さい面積でCMOS回路を構成することができる。

【0022】本明細書で開示する発明の構成5は、絶縁表面上に設けられたCMOS回路を有する半導体装置で

あって、第1の半導体層を活性層とするnチャネル型TFTと、前記第1の半導体層上に絶縁膜と、該絶縁膜上に第2の半導体層を活性層とするpチャネル型TFTとが相補的に接続され、前記第1の半導体層と前記第2の半導体層の間には前記絶縁膜のみを有しており、前記第2の半導体層の上方にはゲート絶縁膜及びゲート電極を有し、前記nチャネル型TFTと前記pチャネル型TFTの前記ゲート電極は同一であり、前記第1の半導体層の一部が前記絶縁膜を挟んで前記第2の半導体層の一部と重なっていることを特徴とする半導体装置である。

【0023】また、上記構成5によって、OLEDを有する発光装置において、一つの画素にスイッチング用TFTと電流制御用TFTとを小さい面積で形成することができる。また、上記構成5によって、液晶表示装置において、一つの画素にスイッチング用TFTとインバータ回路からなるメモリ素子（SRAM、DRAMなど）とを小さい面積で形成することができる。

【0024】また、上記構成2乃至5のいずれかにおいて、前記第1の半導体層と前記第2の半導体層は、結晶構造を有する半導体膜である。

【0025】また、上記構成2乃至5のいずれかにおいて、前記第1の半導体層および前記第2の半導体層は、少なくともチャネル形成領域と、ソース領域と、ドレイン領域とをそれぞれ有し、前記第1の半導体層の一部が絶縁膜を挟んで前記第2の半導体層の一部と重なっている領域は少なくともチャネル形成領域であり、ソース領域またはドレイン領域も互いに重なっていることを特徴としている。

【0026】なお、本明細書中でチャネル形成領域と呼んでいる領域は、キャリア（電子・ホール）が流れる部分（チャネルとも呼ばれる）を含む領域を指しており、例えば、逆スタガ型TFTの場合には、ゲート電極の上方に位置するゲート絶縁膜と半導体膜との界面近傍でチャネルが形成されるが、半導体膜の界面近傍を含み半導体膜を覆う絶縁膜とゲート絶縁膜に挟まれた領域全体をチャネル形成領域と呼んでいる。

【0027】また、上記構成2乃至5のいずれかにおいて、前記第1の半導体層におけるチャネル形成領域のチャネル長と、前記第2の半導体層におけるチャネル形成領域のチャネル長とが同一であることを特徴としている。

【0028】なお、特開平5-257169号公報には、液晶表示装置において、逆スタガ型TFTとスタガ型TFTを積み重ねて2つのTFTを作製し、一方をnチャネルとし、もう一方をpチャネルとする技術が開示されている。しかし、上記公報は、2つのTFTを形成していると言うものの、ソース及びドレインを共通とし、2つのTFTが一つのスイッチング素子としてのみ機能しているものであって、本発明とは大きく異なっている。本発明は、異なる機能を有する複数の素子を形成

するものである。加えて、上記公報は、アモルファスシリコンであるので、駆動回路のCMOS回路を形成することは困難であり、また、OLEDに接続するTFTとしては不向きである。

【0029】また、上記構成1～5とは異なる構成として、2つの半導体層に1つのゲート電極を設け、複数のチャネル形成領域を有するTFTとしてもよい。この場合、上層の半導体層と下層の半導体層を電氣的に接続するための接続電極を設ける。共通のゲート電極を備えているため、チャネル長を同一とすることができるが、ゲート電極からの距離がそれぞれ異なるため従来のダブルゲート構造とは異なっている。こうすることによって複数のゲート電極を配置することなく、小さい面積でマルチゲート構造が実現できる。例えば、液晶表示装置において、一つの画素に複数のチャネル形成領域を有するスイッチング用TFTを小さい面積で形成することができる。

【0030】本明細書で開示する発明の構成6は、図4にその一例を示すように、絶縁表面上に設けられた複数のチャネル形成領域を備えたTFTを有する半導体装置であって、第1の半導体層と、第2の半導体層とを活性層とするTFTであり、前記第1の半導体層と前記第2の半導体層とは電極で電氣的に接続されており、前記第1の半導体層と前記第2の半導体層の間には絶縁膜のみを有しており、前記第2の半導体層上にTFTのゲート絶縁膜と、該ゲート絶縁膜上にゲート電極とを有し、前記第2の半導体層のうち、前記ゲート絶縁膜を間に挟んで前記ゲート電極と重なる領域が第2のチャネル形成領域であり、前記第1の半導体層のうち、前記ゲート絶縁膜及び前記第2のチャネル形成領域及び前記絶縁膜を間に挟んで前記ゲート電極と重なる領域が第1のチャネル形成領域であることを特徴とする半導体装置である。

【0031】また、上記構成6とし、2つの半導体層に1つのゲート電極を設け、複数のチャネル形成領域を有するTFTは、導電型を付与する不純物元素のドーピングを自己整合的に共通のゲート電極をマスクとして行えば、同一のチャネル長を有するマルチゲート構造が実現できる。

【0032】また、上記構成6とし、2つの半導体層に1つのゲート電極を設け、複数のチャネル形成領域を有するTFTとした場合、2つの半導体層に挟まれる絶縁膜を誘電体として容量を形成することも可能である。

【0033】また、上記構成1乃至6のいずれかにおいて、前記第1の半導体層の膜厚は、前記第2の半導体層と同じ、若しくは前記第2の半導体層の膜厚よりも薄いことを特徴としている。

【0034】また、上記構成1乃至6のいずれかにおいて、複数の半導体層の間に設けられた絶縁膜の膜厚は10nm～2μmの範囲で適宜選択すればよい。特に、異なる素子を複数形成する場合、該絶縁膜の膜厚を20

0 nm以上とすれば、各半導体層を活性層とする複数の各素子を駆動させた時、互いの素子同士での影響がほとんどないものとすることができる。

【0035】また、上記構成1〜6を自由に組み合わせて同一基板上に複数種の構成を形成してもよい。

【0036】また、絶縁膜を間に挟んで異なる層に設けられた複数の半導体層の作製方法も本発明の特徴の一つであり、レーザー光の照射処理により複数の半導体層の結晶化を同時に行う。従って、各半導体層の間には絶縁膜のみ設けて、全ての半導体層にレーザー光が照射されるように積層されている。具体的には、レーザー光を上層の非晶質構造を有する半導体膜に照射して結晶化させるとともに、前記レーザー光の一部を上層の非晶質構造を有する半導体膜に通過させ、さらに絶縁膜を通過させ、下層の非晶質構造を有する半導体膜に照射して結晶化させ、同時に結晶構造を有する半導体膜からなる複数の半導体層を形成する。そして、これら複数の半導体層を有する素子を一つ、若しくは複数作製する。

【0037】本明細書で開示する作製方法に関する構成は、絶縁表面上に第1の非晶質構造を有する半導体膜を形成する第1工程と、該半導体膜上に絶縁膜を形成する第2工程と、該絶縁膜上に第2の非晶質構造を有する半導体膜を形成する第3工程と、前記第1の非晶質構造を有する半導体膜と、前記第2の非晶質構造を有する半導体膜とに対してレーザー光を照射し、同時に前記第1の結晶構造を有する半導体膜と、前記第2の結晶構造を有する半導体膜とを形成する第4工程とを有する半導体装置の作製方法である。

【0038】本発明において用いるレーザー光としては、エキシマレーザー、Arレーザー、Krレーザー等の気体レーザーや、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti：サファイアレーザーなどの固体レーザーや、半導体レーザー励起の全固体赤外レーザーから選択すればよく、少なくとも一層の半導体層を通過する波長域であり、且つ、半導体層に吸収される波長域である大出力のレーザーが望ましい。図6

(A)に膜厚55 nmのアモルファスシリコン膜に対する透過率を示し、図6 (B)にその反射率を示した。また、図7 (A)に膜厚55 nmのポリシリコン膜に対する透過率を示し、図7 (B)にその反射率を示した。なお、図6及び図7において、ある波長では、透過率と反射率と吸収率との和が1である。

【0039】図6及び図7から、本発明において用いるレーザー光としては、400 nm〜800 nmの波長域を有する光であることが好ましい。

【0040】また、レーザー発振の形態は、連続発振、パルス発振のいずれでもよく、照射領域におけるレーザービームの形状も線状または矩形状または楕円状でもよい。非晶質構造を有する半導体膜の結晶化に際し、大粒

径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波〜第4高調波を適用するのが好ましい。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザーが適用される。当該レーザーの基本波はドーピングする材料によって異なり、1 μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0041】非晶質構造を有する半導体膜に連続発振するレーザービームを照射して結晶化させる場合には、固液界面が保持され、レーザービームの走査方向に連続的な結晶成長を行わせることが可能である。

【0042】連続発振するレーザーで与えられるエネルギーは大きいため、1回のレーザー照射処理で2層の半導体層を結晶化させることができる。また、必要であれば、レーザー照射処理を数回繰り返してもよい。また、基板に入射したレーザー光は該基板の表面で反射するが、レーザー光は指向性およびエネルギー密度の高い光であるため、反射光が不適切な箇所を照射するのを防ぐためダンパーを設置して、前記反射光を吸収させるのが好ましい。本発明においては、基板の表面の反射光を2層の半導体層で吸収させることができ、2層以上の半導体層を設ければレーザー光のほとんどを吸収させることができるため、特にダンパーを設置しなくともよい。さらに下層の半導体層の反射光を上層の半導体層に再度照射して吸収させることもでき、効率よく半導体層にレーザー光を照射することもできる。また、2層の半導体層の間、半導体層と基板との間で反射を繰り返すことで、効率よく半導体層にレーザー光を照射することもできる。また、2層の半導体層の下方に反射率の高い金属膜を設けた場合、2層の半導体層の間、半導体層と金属膜との間で反射を繰り返すことで、効率よく半導体層にレーザー光を照射することもできる。本発明は、半導体層を1層通過したレーザー光を有効に利用するものである。このように、大出力のレーザーで効率よく2層の半導体層にエネルギーを与えることができる。また、大出力のレーザーの照射によって基板などに与えるダメージを抑えることができる。

【0043】また、選択的にレーザー光を照射して走査する場合、2層の半導体層を結晶化させることができるため、トータルの照射面積を少なくすることができ、スループットが向上する。

【0044】また、半導体レーザー励起の全固体赤外レーザーを用いる場合、全固体赤外レーザー光の波長(1064 nm)をグリーン変換光学結晶を使って半分にし、高出力(100 W以上)のグリーンレーザー光(波長532 nm)を発生させればよい。

【0045】また、アモルファスシリコン膜に対する透過率が低いレーザーを用いた場合、レーザー光のほとん

どが上層の半導体層に吸収されるため、上層の半導体層と、下層の半導体層との結晶状態は異なるものとなる。

【0046】上層の半導体層を活性層とするTFTと、下層の半導体層を活性層とするTFTとで特性が異なっても構わない場合には、上層の半導体層と、下層の半導体層との結晶状態が異なってもよい。例えば、CMOS回路に用いるTFTは、オンオフ比が十分とれ、少なくともオフ電流値が 1×10^{-6} (A) 以下であればよい。また、一方のTFTの特性が特に重要である場合は、第1の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーと、第2の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーとを異ならせてもよい。

【0047】上層の半導体層を活性層とするTFTと、下層の半導体層を活性層とするTFTとで特性が同一であることが望ましい場合には、ほぼ同一の結晶性を有する半導体層を得るために、2層の半導体層の膜厚を変えてトータルで吸収されるエネルギーを同程度にすることが好ましい。例えば、2つの半導体層のうち、上層を薄い膜厚とし、下層を厚い膜厚としてもよい。上層を通過するレーザーが半分、即ち上層の半導体層に対する吸収率が50%である場合、下層の膜厚は、上層の膜厚の約2倍とすればよい。

【0048】また、ほぼ同一の結晶性を有する半導体層を得るために、2層の半導体層の材料を変えてもよい。

【0049】ただし、非晶質構造を有する半導体膜に吸収されにくいレーザー光の波長を選択すれば、2つの半導体層の結晶状態を同一とすることも可能である。例えば、YVO₄レーザーの第2高調波(532nm)を用いた連続発振レーザーであれば、アモルファスシリコン膜やポリシリコン膜に対する透過率が高いため、ほぼ同一の結晶性を有する半導体層を得ることができる。また、レーザー光が照射された2層の半導体層が互いに保温層となり、冷却期間もほぼ同時となるため、ほぼ同一の結晶状態を有する半導体層を得ることができる。また、2層の半導体層が互いに保温層となり、冷却期間が長くなるため、大粒径化を生じさせることもできる。この場合、下層の半導体層には、上層の半導体層からの放熱エネルギーと、レーザー光(絶縁膜と上層の半導体層を通過したレーザー光)からのエネルギーとが両方与えられ、上層の半導体層にはレーザー光からのエネルギーと、下層の半導体層で反射したレーザー光のエネルギーとが与えられる。

【0050】また、第1の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーと、第2の非晶質構造を有する半導体膜に吸収されるレーザー光のエネルギーとを同一とするために、上層に与えるエネルギー密度と下層に与えるエネルギー密度を異ならせてもよい。上層に照射される照射領域が下層の照射領域よりも大きな照射領域となるように、レーザー光を集光させ、焦点

位置または絶縁膜の膜厚を調節してエネルギー密度を調節してもよい。上層を通過するレーザーが半分、即ち透過率が50%である場合、下層が照射される面積は、上層の半分とすればよい。

【0051】また、ここでは半導体層を2層とした例を示したが、絶縁膜をそれぞれ間に挟んで異なる層に3層、またはそれ以上の半導体層を設け、さらなる集積化を図ってもよい。また、種類の異なる複数のTFTを同一基板上に形成する場合、ある領域では絶縁膜を挟んで2層の半導体層を設け、他の領域では1層の半導体層を設けレーザー光を照射してもよい。具体的には、駆動回路には2層の半導体層を設け、画素部には1層の半導体層のみを設けて上記レーザー光を照射し、それぞれTFTを作製すれば、駆動回路には2層の半導体層とすることで占有面積が縮小されたCMOS回路が設けられ、画素部には1層の半導体層を活性層とするTFTが設けられる。

【0052】また、ここでは上層の半導体層に直接レーザー光を照射した例を示したが、絶縁膜で覆った後、レーザー光を照射してもよい。

【0053】従来、このような大出力のレーザーを安定して照射することが困難であったため、本発明の構造を得ることが不可能であった。本発明の構造を固相成長法で形成することも可能であるが、2層の半導体層であれば、結晶化工程が単純に2倍に増え、結晶化処理に要する時間が膨大な時間となり、量産には不向きである。仮に、本発明の構造を得ようとしても工程数が大幅に増加し、スループットが極端に低下するため量産には不向きな工程となっていた。

【0054】本発明は、第1の半導体層のパターニング工程と、第1の半導体層を覆う絶縁膜を形成する工程とが増えるが、結晶化に要する工程においては増やすことなく、半導体層が1層であった場合と同じとすることができる。

【0055】また、特表2000-505241号では、保温層を下層とし、該保温層上に絶縁膜を介して半導体層を設け、レーザー光(波長308nm)を照射して大粒径の結晶を得ることが開示されているが、大出力のレーザーではなく、さらに保温層をTFTの活性層として用いることの記載もなく、上記公報技術から本発明は想到しえないものである。上記公報の技術では、レーザー光とし非晶質シリコンを通過しない波長域(308nm)を用いており、下層の保温層は、上層の半導体層からの放熱のみによって加熱されるものである。従って、上記公報の技術では下層の保温層を結晶化させることは困難である。

【0056】また、他の発明の作製方法に関する構成は、絶縁表面上に第1の非晶質構造を有する半導体膜を形成する第1工程と、該半導体膜上に第1の絶縁膜を形成する第2工程と、該第1の絶縁膜上に第2の非晶質構

造を有する半導体膜を形成する第3工程と、前記第1の非晶質構造を有する半導体膜及び前記第1の絶縁膜を通過させて、前記第2の非晶質構造を有する半導体膜にレーザー光を照射し、同時に前記第1の結晶構造を有する半導体膜と、前記第2の結晶構造を有する半導体膜とを形成する第4工程と、該第2の結晶構造を有する半導体膜上に第2の絶縁膜を形成する第5工程と、前記第2の絶縁膜上にゲート電極を形成する第6工程と、前記ゲート電極をマスクとして前記第1の結晶構造を有する半導体膜または前記第2の結晶構造を有する半導体膜に対してn型またはp型を付与する不純物元素を添加する第7工程とを有する半導体装置の作製方法である。

【0057】また、他の発明の作製方法に関する構成は、絶縁表面上に第1のゲート電極を形成する第1工程と、前記第1のゲート電極を覆う第1の絶縁膜を形成する第2工程と、前記第1の絶縁膜上に第1の非晶質構造を有する半導体膜を形成する第3工程と、該半導体膜上に第2の絶縁膜を形成する第4工程と、該第2の絶縁膜上に第2の非晶質構造を有する半導体膜を形成する第5工程と、前記第1の非晶質構造を有する半導体膜及び前記第2の絶縁膜を通過させて、前記第2の非晶質構造を有する半導体膜にレーザー光を照射し、同時に前記第1の結晶構造を有する半導体膜と、前記第2の結晶構造を有する半導体膜とを形成する第6工程と、該第2の結晶構造を有する半導体膜上に第3の絶縁膜を形成する第7工程と、前記第3の絶縁膜上に第2のゲート電極を形成する第8工程と、前記第2のゲート電極をマスクとして前記第1の結晶構造を有する半導体膜または前記第2の結晶構造を有する半導体膜に対してn型またはp型を付与する不純物元素を添加する第9工程とを有する半導体装置の作製方法である。

【0058】また、上記構成において、前記第1のゲート電極を前記第1の結晶構造を有する半導体膜を活性層とするTFETのゲート電極とし、前記第2のゲート電極を前記第2の結晶構造を有する半導体膜を活性層とするTFETのゲート電極とすることを特徴としている。

【0059】また、本発明は、非晶質構造を有する半導体膜の結晶化だけでなく、レーザー光を用いるアニール工程（代表的には活性化処理などの加熱処理）に適用することができる。また、他の発明の作製方法に関する構成は、絶縁表面上に設けられた非晶質構造または結晶構造を有する第1の半導体膜と、該半導体膜上に絶縁膜と、該絶縁膜上に非晶質構造または結晶構造を有する第2の半導体膜とに対してレーザー光を照射し、同時に前記第1の半導体膜と、前記第2の半導体膜とをアニールする工程を有する半導体装置の作製方法である。

【0060】また、上記構成1～6に示した構成を実現するためには、上記レーザー光による2層を同時に結晶化させる方法に限定されず、上記作製方法以外でも作製することは可能である。ただし、上記作製方法以外とす

ると工程数が多くなり、処理時間も長くなる。上記作製方法以外として同時に結晶化させる方法は、例えば、固相成長法を用いてもよいし、結晶化を助長する金属元素を添加して熱処理を行って結晶化させる方法を用いてもよいし、同時にレーザー光またはランプ光源からの光を照射してもよい。表面側と裏面側からレーザー光を照射して結晶化を行う場合は、レーザー光の波長範囲は特に限定されない。或いは、同時に結晶化させるのではなく、一つの半導体層を結晶化させた後、他の層を結晶化させてもよい。

【0061】

【発明の実施の形態】本発明の実施形態について、以下に説明する。

【0062】（実施の形態1）以下に本発明を用いた代表的な半導体装置およびその作製方法を簡略に図1を用いて示す。ここではCMOS回路としてインバータ回路を一例として説明する。

【0063】図1（A）中、10は絶縁表面を有する基板、11は第1の電極、12a、12bは第1の絶縁膜、13は第1の半導体層、14は第2の絶縁膜、15は第2の半導体膜である。

【0064】図1（A）において、基板10はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。ただし、プラスチック基板は耐熱性が低いので比較的低い熱処理温度、例えば300℃以下に設定することが必要である。

【0065】まず、図1（A）に示すように基板10上に第1の電極11を形成する。この第1の電極11は最終的に一方のTFETのゲート電極となる部位であり、第1の導電膜の単層または積層を成膜した後、第1のマスクを用いてパターニングを行って形成すればよい。第1の導電膜の材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。なお、ここでは図示しないが、第1の電極11を形成する前に珪素を主成分とする絶縁膜を下地膜として形成してもよい。

【0066】次いで、第1の電極11を覆って下層となる第1の絶縁膜12aを形成する。さらに、上層となる平坦な第1の絶縁膜12bを形成する。ここでは第1の絶縁膜を2層構造として示したが、珪素を主成分とする絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。ここでは、プラズマCVD法で下層となる第1の酸化シリコン膜を形成し、上層となる第2の酸化シリコン膜を積層形成した後、公知の平坦化処理、例えば化学的機械研磨（Chemical-Mechanical Polishing：以下、CMPと記す）と呼ばれる研磨工程を行う。他の平坦化処理として、塗布膜（レジスト膜等）を形成

した後エッチングなどを行って平坦化するエッチバック法を用いてもよい。なお、上層となる第1の絶縁膜12bとして、塗布法で平坦な酸化シリコン膜を形成してもよい。この第1の絶縁膜12a、12bは最終的に一方のTFTのゲート絶縁膜となる。第1の絶縁膜12a、12bの合計膜厚は、50nm～200nmの範囲で適宜選択すればよい。

【0067】次いで、25～200nmの範囲の膜厚で非晶質構造を有する第1の半導体膜を形成し、第2のマスクを用いてパターンニングを行い、第1の半導体層13を形成する。また、第1の半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SixGe_{1-x} (X=0.0001～0.02))合金などを用い、公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により形成すればよい。また、プラズマCVD装置は、枚葉式の装置でもよいし、バッチ式の装置でもよい。

【0068】なお、本明細書中において「層」とは、パターンニング等によってある形状とされた後の状態を指し、「膜」とは成膜直後の状態を指している。

【0069】次いで、第1の半導体層13を覆う第2の絶縁膜14を形成する。第2の絶縁膜14は、珪素を主成分とする絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。第2の絶縁膜14の膜厚は、10nm～2μmの範囲で適宜選択すればよい。ただし、第2の絶縁膜14の膜厚や材料によっては最終的に作製される2つのTFT、即ちCMOS回路を駆動させた場合、互いに影響を与えてしまうため、膜厚を200nm以上とすることが好ましい。

【0070】次いで、第2の絶縁膜14上に25～200nmの範囲の膜厚で非晶質構造を有する第2の半導体膜15を形成する。また、第2の半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SixGe_{1-x} (X=0.0001～0.02))合金などを用い、公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により形成すればよい。また、第2の半導体膜は、第1の半導体膜と材料や膜厚を異ならせてもよい。

【0071】次いで、上記2層の半導体の両方を結晶化させるレーザー光の照射を行う。(図1(A))ここではレーザー光を照射し、第1の半導体膜15を通過するレーザー光を第1の半導体層13に照射させるため、少なくとも第1の半導体膜を通過する波長とエネルギーを有するレーザー光であり、2層の半導体を結晶化させることが可能であれば、レーザー光は特に限定されない。非晶質構造を有する半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を

適用する。出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により変換してこれらの高調波を得る。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度(好ましくは0.1～10MW/cm²)が必要である。そして、0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。なお、入射光と基板の裏面における反射光とが干渉しないように半導体膜表面に対して斜めに照射することが好ましく、その場合、レーザー光の入射角度の変化に対して、反射率は著しく変化するため、レーザー光の反射率の変化が5%以内となる角度以内にするのが望ましい。

【0072】また、連続発振のレーザーを用いる場合、レーザー光の照射領域を最終的に形成されるTFTのチャネル長方向(キャリアが移動する方向)に移動させて走査することが好ましい。

【0073】また、上記レーザー光の照射によって第2の半導体膜に吸収されたエネルギーは熱となり第1の半導体層に伝導される。従って、各半導体層に吸収される総エネルギーが平均化され、冷却期間がほぼ同一となる。平均化されることによって溶融したシリコンの熱が互いに保持されて冷却期間が長くなるため、大粒径化を生じさせることもできる。即ち、単層で非晶質シリコン膜を連続発振のレーザー光で結晶化させた場合よりも優れた結晶性を有する半導体膜を得ることができる。また、この総エネルギーの平均化は、間に挟まれる第2の絶縁膜の膜厚が薄いほど効果がある。この効果を得るために本発明は、第2の絶縁膜のみを間に挟んで2つの半導体層を配置している。

【0074】また、上記レーザー光の照射によって第1の半導体層に反射したレーザー光が再び第2の半導体膜に照射して吸収される。また、第1の半導体層と第2の半導体膜との間で反射が繰り返され、互いの半導体に吸収される。また、第1の半導体層の下方に反射性を有する導電層が設けられていれば、該導電層からのレーザー光の反射による吸収もあり得る。また、基板やステージからのレーザー光の反射による吸収もあり得る。

【0075】また、レーザー光の焦点は、どちらの半導体に合わせてもよいが、下層にある第1の半導体層に焦点を合わせた場合、第2の絶縁膜の膜厚にも左右されるが、第1の半導体層に照射されるエネルギー密度を第2の半導体膜に照射されるエネルギー密度よりも大きくすることができる。また、吸収される総エネルギー量が同一となるように第2の半導体膜に対するレーザー光の透過率に合わせて第1の半導体層の膜厚と第2の半導体膜の膜厚を調節してもよい。

【0076】また、非晶質構造を有する第2の半導体膜にニッケルを代表とする珪素の結晶化を助長する金属元素を添加した後で、上記レーザー光を照射してもよい。ニッケルを添加することによってレーザー光の条件マージンが広がるため、良好な結晶構造を有する半導体膜を形成しやすい。また、金属元素を用いて結晶化させる場合、後の工程で添加した金属元素を半導体膜中から除去するゲッタリングを行うことが好ましい。

【0077】こうして、結晶構造を有する第1の半導体層16及び結晶構造を有する第2の半導体膜を得た後、第3のマスクを用いてパターンニングを行い、第2の半導体層17を形成する。ここでは、後で配線とのコンタクトを取るために第1の半導体層16と第2の半導体層17のサイズを異ならせている。ただし、ここでの各半導体層の形状には限定されず、少なくとも最終的に形成される互いのチャネル形成領域が第2の絶縁膜14を間に挟んで重なればよい。また、ここではレーザー光で結晶化させた後にパターンニングを行っているが、レーザー光で結晶化させる前にパターンニングを行ってもよい。

【0078】また、しきい値を制御する必要がある場合、結晶構造を有する第1の半導体層16及び結晶構造を有する第2の半導体膜を得た後、しきい値を制御するためのチャネルドーピングを行ってもよい。

【0079】次いで、第2の半導体層17を覆う第3の絶縁膜18を形成する。第3の絶縁膜18としては、珪素を主成分とする絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。また、熱酸化法によって第2の半導体層の表面のみに酸化膜からなる第3の絶縁膜を形成してもよい。また、第3の絶縁膜18は、最終的にもう一方のゲート絶縁膜となる。第3の絶縁膜18の膜厚は、50nm～200nmの範囲で適宜選択すればよい。ここでは、結晶化させた後で第3の絶縁膜18を形成しているが、第3の絶縁膜を形成した後に、第3の絶縁膜を通過させて上記レーザー光を照射して結晶化を行ってもよい。

【0080】次いで、第4のマスクを用いて第1の電極11に達するコンタクトホールを形成する。次いで、第2の導電膜を形成した後、第5のマスクを用いて第1の電極11と電気的に接続する第2の電極19を形成する。(図1(B))第2の導電膜の材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、第2の電極19は、最終的にもう一方のゲート電極となる。

【0081】次いで、第2の電極19をマスクとして半導体にn型またはp型を付与する不純物元素を添加する。(図1(C))ここでは、イオンドーピング法によって第3の絶縁膜18、第2の半導体層17、及び第2

の絶縁膜14を通過させてリンを第1の半導体層16に添加し、自己整合的にn型の不純物領域20、21を形成する。次いで、イオンドーピング法によって第3の絶縁膜18を通過させてボロンを第2の半導体層17に添加し、自己整合的にp型の不純物領域22、23を形成する。表面からの深さに合わせてそれぞれドーピング条件を適宜設定すれば、それぞれ異なる深さに配置された第1の半導体層と第2の半導体層にそれぞれ所望の不純物濃度を添加することができる。ボロンは原子サイズが小さく、添加後に活性化させにくいため、リンのドーピングによってドーピングダメージを与えて第2の半導体層を非晶質化させている。また、上記ドーピングの順序は特に限定されない。また、イオンドーピング法に代えて、質量分離を行ったイオン注入法を用いてもよい。なお、ドーピングは深さ方向によってドーパントの添加量が変わるため、実際は上方に存在する第2の半導体層によって表面からの深さが異なっている領域、即ち不純物領域20、21のうち、チャネル形成領域28付近の領域にはドーパントが低濃度に添加され、LDD領域(図示しない)が形成されている。

【0082】また、第2の半導体層に1回目ドーピングを行った後、第3の絶縁膜18をドライエッチングで選択的に除去して第2の電極19と重なる部分のみを残し、第2の半導体層を露呈させて2回目のドーピングを行って第1の半導体層に添加してもよい。さらに、ドーピング後に第2の半導体層と第2の絶縁膜との選択比が高ければ、ドライエッチングで第2の絶縁膜のうち、第2の半導体層と重なる部分のみを残し、第1の半導体層を露呈させてもよい。第1の半導体層及び第2の半導体層を露呈させることができれば、後の工程である第1の半導体層に達するコンタクトホールの形成が容易となる。

【0083】次いで、添加した不純物元素を活性化するために加熱処理、ランプ光源からの強光の照射、またはレーザー光の照射を行う。また、第2の半導体層を通過するレーザー光を用いて、同時に2層の活性化を行ってもよい。連続発振が可能な固体レーザー(YAGレーザー、YVO₄レーザー、YLFレーザー、または半導体レーザー励起の全固体赤外レーザー等)を用い、基本波の第2高調波～第4高調波を活性化に用いる場合には、0.01～100MW/cm²程度(好ましくは0.01～10MW/cm²)が必要である。また、0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。また、裏面側と表面側との両面から強光やレーザー光を照射してもよい。なお、表面側と裏面側からレーザー光を照射して活性化を行う場合は、レーザー光の波長範囲は特に限定されない。また、活性化と同時にゲート絶縁膜となる絶縁膜へのプラズマダメージやゲート絶縁膜となる絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。

【0084】次いで、層間絶縁膜 24 を形成し、水素化を行った後、第 6 のマスクを用いて不純物領域 20~23 に達するコンタクトホールをそれぞれ形成する。各コンタクトホールは、選択比が十分とれるのであれば同時に形成してもよいが、別々に形成してもよいし、段階的に形成してもよい。第 2 の半導体層 17 の不純物領域 22、23 に達するコンタクトホールは、第 1 の半導体層 16 の不純物領域 20、21 に達するコンタクトホールよりも内側が形成される。次いで、第 3 の導電膜を形成し、第 7 のマスクを用いて各不純物領域 20~23 とそれぞれ電気的に接続する配線 25~27 を形成する。

(図 1 (D1))

【0085】以上の工程で、第 2 の電極 19 をゲート電極とし、且つ、第 3 の絶縁膜 18 をゲート絶縁膜とし、且つ、ソース領域 23 と、ドレイン領域 22 と、これらの領域に挟まれたチャネル形成領域 29 とを活性層とし、且つ、ソース領域 23 と接続するソース配線 27 と、ドレイン領域 23 と接続するドレイン配線 25 と、を有するトップゲート構造の p チャネル型 TFT 30 が完成する。加えて、第 1 の電極 11 をゲート電極とし、且つ、ソース領域 21 と、ドレイン領域 20 と、これらの領域に挟まれたチャネル形成領域 28 とを活性層とする逆スタガ構造の n チャネル型 TFT が完成する。

【0086】また、必要であれば適宜、TFT を覆って窒化膜からなるパッシベーション膜（保護膜）を形成してもよい。

【0087】また、本発明の作製工程においては、CMOS 回路を 7 枚のマスクで作製することができる。従来、並列に並べて CMOS 回路を作製する場合、半導体層のパターニング、ゲート電極のパターニング、n 型を付与する不純物元素のドーピングマスク、p 型を付与する不純物元素のドーピングマスク、コンタクトホールのパターニング、配線のパターニングと 6 枚のマスクが必要であった。本発明は、1 枚のマスク数の増加のみによって大幅に CMOS 回路の所要面積を縮小できる。

【0088】また、図 1 (D2) に上面図の一例を示す。図 1 (D2) 中の鎖線 A-A' で切断した断面図が図 1 (D1) に対応している。なお、この上面図では、アイランド状の第 2 の電極 19 が配線から分岐した第 1 の電極 11 に接続しているが、本発明はこの上面図に限定されず、例えば、第 1 の電極をアイランド状とし、第 2 の電極で配線を引き回してもよい。また、第 1 の電極 11 と第 2 の電極 19 の幅を同一として図示したが、実際は、パターニング精度にもよるが第 1 の電極 11 の幅と第 2 の電極 19 の幅は異なる。例えば、第 1 の電極の幅を第 2 の電極よりも大きくした場合には、第 1 の絶縁膜 12a、12b を間に挟んで、ゲート電極である第 1 の電極 11 とソース領域またはドレイン領域である不純物領域 20、21 とが一部重なる構造となる。また、第 1 の電極の幅を第 2 の電極よりも小さくした場合には、

チャネル形成領域とソース領域（またはドレイン領域）との間にオフセット領域（チャネル形成領域と同じ材料からなる）が形成される。

【0089】図 1 (D2) に示すように第 2 の電極 19 は、第 1 の電極 11 に接続されており、第 1 の電極 11 は、ソース領域 21 と、ドレイン領域 20 と、これらの領域に挟まれたチャネル形成領域 28 とを活性層とする n チャネル型 TFT のゲート電極である。また、コンタクトを取るために第 1 の半導体層と第 2 の半導体層のサイズは異なっているが、特に形状は限定されない。また、n チャネル型 TFT のチャネル形成領域 28 は、p チャネル型 TFT のチャネル形成領域 29 のチャネル長 L と同一である。一方、ここでは位置関係を分かりやすく示す都合上、n チャネル型 TFT のほうが、チャネル幅 W が若干大きいものとしたが特に限定されず、同一としても構わない。また、n チャネル型 TFT は逆スタガ型 TFT であり、ゲート絶縁膜は、第 1 の絶縁膜 12a、12b である。また、ドレイン領域 20 は、ドレイン配線 25 と電気的に接続されており、上記 p チャネル型 TFT 30 と相補的に組み合わせれば、CMOS 回路を形成することができる。なお、図 1 (D3) に CMOS 回路とした場合の等価回路図の一例を示す。

【0090】この CMOS 回路を駆動させた場合、ゲート配線（第 1 の電極 11 及び第 2 の電極 19 を含む）に負（マイナス）のある任意の電圧（p チャネル型 TFT 30 のしきい値より大きいマイナス電圧）が印加されれば、p チャネル型 TFT 30 がオン状態となり、n チャネル型 TFT がオフ状態となり、ソース配線 27 に接続された電源電圧線の電圧 V_{cc} がドレイン配線 25 に与えられる。一方、ゲート配線に正（プラス）のある任意の電圧（n チャネル型 TFT のしきい値より大きいプラス電圧）が印加されれば、n チャネル型 TFT がオン状態となり、p チャネル型 TFT 30 がオフ状態となり、ソース配線に接続された GND（もしくは固定電位）と同じ電位がドレイン配線 25 に与えられる。

【0091】また、図 1 と同一の構成でシミュレーションを行った。シミュレーションの条件は、第 1 の絶縁膜 12a、12b 及び第 3 の絶縁膜 18 における膜厚を 110 nm とし、チャネルサイズ (L/W) を $7\mu\text{m}/8\mu\text{m}$ とし、第 1 の半導体層 16 及び第 2 の半導体層 17 における膜厚を 50 nm とし、p チャネル型 TFT 30 のソース領域またはドレイン領域におけるキャリア

(B: ボロン) 密度を $1 \times 10^{20} / \text{cm}^3$ としてチャネル形成領域 29 におけるキャリア (B: ボロン) 密度を $2 \times 10^{16} / \text{cm}^3$ とし、n チャネル型 TFT のソース領域またはドレイン領域におけるキャリア (P: ボロン) 密度を $1 \times 10^{20} / \text{cm}^3$ としてチャネル形成領域 28 におけるキャリア (B: ボロン) 密度を $2 \times 10^{16} / \text{cm}^3$ とした。また、第 1 の半導体層 16 と第 2 の半導体層 17 との膜質は同一と仮定する。

【0092】ゲート電極である第2の電極19に-10Vの電圧を印加した場合（nチャネル型TFTがオフ状態の場合）、第2の絶縁膜14の膜厚（50nm～200nm）によらず、pチャネル型TFT30のV_{th}（しきい値）は、ほとんど変化せず、-2.44V～-2.47Vの範囲となった。S値（サブスレッショルド係数）においては、第2の絶縁膜14の膜厚が50nmの時に0.34V/dec、100nmの時に0.30V/dec、200nmの時に0.27V/decとなっており、第2の絶縁膜14の膜厚が厚ければ厚いほど優れた値となることから、第2の絶縁膜14の膜厚は200nm以上とすることが好ましい。

【0093】また、ゲート電極である第2の電極19に10Vの電圧を印加した場合（pチャネル型TFTがオフ状態の場合）においても、第2の絶縁膜14の膜厚（50nm～200nm）によらず、nチャネル型TFT30のV_{th}（しきい値）は、ほとんど変化せず、1.58V～1.66Vの範囲となった。S値においては、第2の絶縁膜14の膜厚が50nmの時に0.32V/dec、100nmの時に0.30V/dec、200nmの時に0.28V/decとなっており、第2の絶縁膜14の膜厚が厚ければ厚いほど優れた値となることから、第2の絶縁膜14の膜厚は200nm以上とすることが好ましい。

【0094】なお、比較のため、ゲート絶縁膜を110nmとし、半導体層を50nmとし、ソース領域またはドレイン領域におけるキャリア（B：ボロン）密度を $1 \times 10^{20} / \text{cm}^3$ としてチャンネル形成領域におけるキャリア（B：ボロン）密度を $2 \times 10^{16} / \text{cm}^3$ とした一般的な構造のpチャネル型TFTの各特性値は、しきい値=-2.09V、S値は0.25V/decと仮定している。また、ソース領域またはドレイン領域におけるキャリア（P：リン）密度を $1 \times 10^{20} / \text{cm}^3$ としてチャンネル形成領域におけるキャリア（B：ボロン）密度を $2 \times 10^{16} / \text{cm}^3$ とした一般的な構造のnチャネル型TFTの各特性値は、しきい値=1.31V、S値は0.26V/decと仮定している。

【0095】また、オン電流値やオフ電流値においては、ほとんど差がないため、問題なくCMOS回路として駆動させることができる。ただし、上記シミュレーションでは一般的な構造のTFTの半導体層と、本発明のTFTの半導体層を同一の膜質として仮定しているものである。本発明は、レーザー光を照射して同時に2層の半導体層を熔融させた場合、吸収された熱が互いに保持されて、熔融したシリコンの冷却期間が単層の半導体層を熔融させた場合に比べ長くなるため、優れた結晶性を有する半導体膜が得られる。

【0096】また、ここでは第1の半導体層16にn型を付与する不純物元素を添加し、第2の半導体層17にp型を付与する不純物元素を添加した例を示したが、第

1の半導体層16にp型を付与する不純物元素を添加し、第2の半導体層17にn型を付与する不純物元素を添加してもよい。

【0097】また、ここでは第1の半導体層を非晶質構造を有する膜を成膜し、第2の絶縁膜を形成し、非晶質構造を有する第2の半導体膜を成膜した後で上記レーザー光によって同時に結晶化させて2層の結晶構造を有する半導体層を得る例を示したが、LPCVD法などによって結晶構造を有する膜を形成してパターンニングを行って第1の半導体層を形成した後、第2の絶縁膜を形成し、非晶質構造を有する第2の半導体膜を成膜した後で上記レーザー光によって第2の半導体膜を結晶化させると同時に第1の半導体層をアニールすることによって2層の結晶構造を有する半導体層を得てもよい。

【0098】また、本発明は図1（D1）のTFT構造に限定されず、必要があればマスクを用いて、チャンネル形成領域とドレイン領域（またはソース領域）との間にLDD領域を有する低濃度ドレイン（LDD：Lightly Doped Drain）構造としてもよい。この構造はチャンネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。

【0099】また、図1（D1）のTFTは、シングルゲート構造であるが、特に限定されず、ゲート電極を平面状に2つ並列配置して2つのチャンネル形成領域を有するダブルゲート構造としてもよいし、3つ以上複数のチャンネル形成領域を有するマルチゲート構造としてもよい。

【0100】本発明により、CMOS回路の占有面積を大幅に縮小することができる。従って、CMOS回路を含む駆動回路の小型化が可能となる。

【0101】（実施の形態2）以下に本発明を用いた代表的なOLEDを有する発光装置を簡略に図2及び図3を用いて示す。ここでは一つの画素に2つのTFT（第1TFT55、第2TFT56）を有する発光装置を一例として説明する。

【0102】図2（A）に示す断面図において、40は基板、41は第1の電極（ゲート配線）、42は第1の絶縁膜、43a、43bはソース領域またはドレイン領域、43はチャンネル形成領域、44は第2の絶縁膜、45aはソース領域、45bはドレイン領域、45cはチャンネル形成領域、46は第3の絶縁膜、47は第2の電極、48a、48bは第4の絶縁膜、49は陰極または陽極、50はソース配線、51は接続電極、52は電源線、53は接続電極、54はバンクである。

【0103】基板40としては、ガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、第1の電極41、第2の電極47、ソース配線50、接続電極51、53、電源線52とし

ては、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料の単層またはこれらの積層で形成する。また、これらの電極や配線としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、第1の絶縁膜42、第2の絶縁膜44、第3の絶縁膜46、第4の絶縁膜48a、48b、バンク54としては、塗布法やプラズマCVD法やスパッタ法やLPCVD法などによって、珪素を主成分とする絶縁膜（酸化珪素膜、窒化珪素膜、酸化窒化珪素膜など）、または有機樹脂膜の単層膜またはこれらを2層以上積層させて形成すればよい。また、43a~43c、45aから45cを含む半導体層は、シリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $x=0.0001\sim0.02$ ））合金などを用い、公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した膜を結晶化させればよい。

【0104】また、上面図を図2（B）に示す。図2（B）中の鎖線で切断した断面図が図2（A）に対応している。

【0105】なお、図2（A）及び図2（B）は、OLEDの陰極または陽極を作製した段階での図であり、有機発光層およびその上に形成される陽極または陰極は図示していない。また、図2では保持容量を図示していないが、OLEDの駆動方法に合わせて保持容量を設けなくとも、保持容量を設けてもよい。

【0106】また、OLEDに流れる電流をTFTで制御する場合、大きく分けて2通りの方法がある。具体的には、飽和領域と呼ばれる電圧範囲で電流を制御する方法と、飽和領域に達するまでの電圧範囲で電流を制御する方法とがある。本明細書では、 V_d-I_d 曲線において、電流値がほぼ一定となる V_d の範囲を飽和領域と呼んでいる。本発明はOLEDの駆動方法に限定されず、どのような駆動方法を用いてもよい。

【0107】また、作製方法は実施の形態1に示した手順とほぼ同一であるので、ここでは簡略な説明と、異なる点を以下に示す。

【0108】まず、絶縁表面を有する基板40上に下地絶縁膜（図示しない）を設け、第1TFTのゲート電極となる第1の電極41を形成する。次いで、第1TFTのゲート絶縁膜となる第1の絶縁膜42（50nm~200nmの範囲の膜厚）と、非晶質構造を有する第1の半導体膜（25~200nmの範囲の膜厚）とを形成する。ここでは界面の汚染を防ぐため、大気に触れることなく連続的に第1の絶縁膜42と第1の半導体膜をプラズマCVD法で形成する。

【0109】次いで、第1の半導体膜をパターンニングして所望の形状とする。次いで、第2の絶縁膜44と、非晶質構造を有する第2の半導体膜（25~200nmの

範囲の膜厚）とを形成する。ここでは界面の汚染を防ぐため、大気に触れることなく連続的に第2の絶縁膜44と第2の半導体膜をプラズマCVD法で形成する。第2の絶縁膜44の膜厚は、10nm~2μmの範囲で適宜選択すればよい。

【0110】次いで、非晶質構造を有する第1の半導体層及び非晶質構造を有する第2の半導体膜を結晶化させる。結晶化方法は特に限定されないが、ここでは、出力10Wの連続発振のYVO₄レーザから射出された第2高調波（532nm）や第3高調波（355nm）を適用する。好ましくは光学系により照射面にて楕円形状のレーザ光に成形して、非晶質構造を有する第1の半導体層及び非晶質構造を有する第2の半導体膜に照射する。このときのエネルギー密度は0.01~100MW/cm²程度（好ましくは0.1~10MW/cm²）が必要である。そして、0.5~2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。非晶質構造を有する第1の半導体層及び非晶質構造を有する第2の半導体膜にレーザ光を照射することによって、吸収された熱が互いに保持されて冷却期間が長くなるため、大粒径化を生じさせることもできる。即ち、単層で非晶質シリコン膜を連続発振のレーザ光で結晶化させた場合よりも優れた結晶性を有する半導体膜を得ることができる。

【0111】次いで、上記第2の半導体膜のパターニングを行った後、第2の半導体層の表面を洗浄し、珪素を主成分とする絶縁膜の単層または積層からなる第3の絶縁膜46を形成する。また、熱酸化法によって第2の半導体層の表面のみに酸化膜からなる第3の絶縁膜を形成してもよい。なお、第3の絶縁膜46は最終的に第2TFTのゲート絶縁膜となる。第3の絶縁膜46の膜厚は、50nm~200nmの範囲で適宜選択すればよい。

【0112】次いで、第3の絶縁膜上に第2の電極47を形成する。なお、第2の電極47は最終的に第2TFTのゲート電極となる。ここでは、チャンネル長方向における第1の電極41の幅よりも第2の電極47の幅を狭いものとしているが特に限定されない。また、第1の電極の幅を第2の電極よりも狭くした場合には、チャンネル形成領域とソース領域（またはドレイン領域）との間にオフセット領域（チャンネル形成領域と同じ材料からなる）が形成される。

【0113】次いで、第2の電極47をマスクとしてイオンドーピング法またはイオン注入法によって、2つの半導体層にn型またはp型を付与する不純物元素を自己整合的に添加して不純物領域43a、43b、45a、45bを形成する。第2の電極47をマスクとするため、第1TFTのチャンネル形成領域43cと第2TFTのチャンネル形成領域44cのチャンネル長Lは同一となる。また、第1TFTは、ゲート絶縁膜となる第1の絶

縁膜 42 を間に挟んで、ゲート電極である第 1 の電極 41 とソース領域またはドレイン領域である不純物領域 43a、43b とが一部重なる。なお、ドーピングは深さ方向によってドーパントの添加量が変わるため、実際は上方に存在する第 2 の半導体層によって表面からの深さが異なっている領域、即ち不純物領域 43a、43b のうち、チャネル形成領域 43c 付近の領域にはドーパントが低濃度に添加され、LDD 領域（図示しない）が形成されている。

【0114】第 1 の半導体層に n 型の不純物元素を添加すれば、第 1 TFT を n チャネル型 TFT とすることができ、第 1 の半導体層に p 型の不純物元素を添加すれば、第 1 TFT を p チャネル型 TFT とすることができる。また、第 2 の半導体層に n 型の不純物元素を添加すれば、第 2 TFT を n チャネル型 TFT とすることができ、第 2 の半導体層に p 型の不純物元素を添加すれば、第 2 TFT を p チャネル型 TFT とすることができる。

【0115】第 2 TFT を n チャネル型 TFT とするか、それとも p チャネル型 TFT とするかは、実施者が適宜決定すればよい。

【0116】次いで、添加した不純物元素を活性化するために加熱処理、ランプ光源からの強光の照射、またはレーザー光の照射を行う。また、第 2 の半導体層を通過するレーザー光を用いて、同時に 2 層の活性化を行ってもよい。連続発振が可能な固体レーザー（YAG レーザ、YVO₄ レーザ、YLF レーザ、または半導体レーザー励起の全固体赤外レーザー等）を用い、基本波の第 2 高調波～第 4 高調波を活性化に用いる場合には、0.01～100 MW/cm² 程度（好ましくは 0.01～10 MW/cm²）が必要である。また、0.5～2000 cm/s 程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。また、裏面側と表面側との両面から強光やレーザー光を照射してもよい。なお、表面側と裏面側からレーザー光を照射して活性化を行う場合は、レーザー光の波長範囲は特に限定されない。また、活性化と同時にゲート絶縁膜となる絶縁膜へのプラズマダメージやゲート絶縁膜となる絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。

【0117】次いで、下層 48a を有機樹脂からなる平坦膜とし、上層 48b を無機絶縁膜とする層間絶縁膜を形成し、水素化を行った後、陰極または陽極 49 を形成する。なお、49 を陰極とするか陽極とするかは実施者が適宜決定すればよい。図示しないが、出力端子部において、同時にパッド電極を形成してもよい。

【0118】次いで、マスクを用いて不純物領域 43a、43b、45a、45b に達するコンタクトホールをそれぞれ形成する。また、図示しないが、出力端子部に第 1 の電極 41 に達するコンタクトホールを形成する。第 2 の半導体層の不純物領域 45a、45b に達するコンタクトホールは、第 1 の半導体層の不純物領域 4

3a、43b に達するコンタクトホールよりも内側が形成される。次いで、第 3 の導電膜を形成し、マスクを用いて各不純物領域とそれぞれ電氣的に接続する配線及び電極 51～53 を形成する。なお、接続電極 53 は、陰極または陽極 49 ととも電氣的に接続する。また、図示しないが、出力端子部において、第 1 の電極 41 とパッド電極とを接続する電極も形成する。次いで、陰極または陽極 49 の端部を覆うように両端にバンクとよばれる絶縁物 54 を形成する。

【0119】ここまでの工程が済んだ段階での断面図が図 2 (A) であり、上面図が図 2 (B) である。

【0120】また、ここでは一つの画素に 2 つの TFT を設けた例を示したが、特に限定されないことは言うまでもない。

【0121】また、必要であれば適宜、TFT を覆って窒化膜からなるパッシベーション膜（保護膜）を形成してもよい。

【0122】次いで、両端がバンク 54 で覆われている陰極または陽極 49 上に EL 層（有機化合物材料層）および OLED の陽極または陰極を形成する。49 を陰極とした場合、EL 層上には陽極を設ければよく、49 を陽極とした場合、EL 層上には陰極を設ければよい。なお、図示しないが、出力端子部において、陰極或いは陽極を全画素に共通の配線として機能させ、接続配線を經由して端子電極を形成してもよい。

【0123】EL 層としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機 EL 材料や高分子系有機 EL 材料を用いればよい。また、EL 層として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。なお、EL 層は合計しても 100 nm 程度の薄膜層として形成する。そのため、陰極または陽極として形成する 49 の表面は平坦性を高めておく必要がある。

【0124】また、陰極に用いる材料としては仕事関数の小さい金属（代表的には周期表の 1 族もしくは 2 族に属する金属元素）や、これらを含む合金を用いることが好ましいとされている。仕事関数が小さければ小さいほど発光効率が向上するため、中でも、陰極に用いる材料としては、アルカリ金属の一つである Li（リチウム）を含む合金材料が望ましい。

【0125】また、陽極に用いる導電膜としては、陰極を形成する材料よりも仕事関数の大きい材料を用い、ITO（酸化インジウム酸化スズ合金）、酸化インジウム

酸化亜鉛合金 ($\text{In}_2\text{O}_3\text{—ZnO}$)、酸化亜鉛 (ZnO) 等、さらにITOよりもシート抵抗の低い材料、具体的には白金 (Pt)、クロム (Cr)、タングステン (W)、もしくはニッケル (Ni) といった材料を用いることができる。

【0126】以上の工程で、OLEDと接続するトップゲート型の第2 TFT 56と、第2 TFTのゲート電極47がソース領域またはドレイン領域に接続された逆スタガ型の第1 TFT 55が形成される。

【0127】トップゲート型の第2 TFT 56は、第2の電極47をゲート電極とし、且つ、第3の絶縁膜46をゲート絶縁膜とし、且つ、不純物領域45a、45bと、2つの不純物領域に挟まれたチャネル形成領域45cとを活性層とし、且つ、不純物領域45aと接続する接続電極53と、不純物領域45bと接続する電源線52と、を有する。

【0128】また、逆スタガ型の第1 TFT 55は、第1の電極41をゲート電極とし、且つ、第1の絶縁膜42をゲート絶縁膜とし、且つ、不純物領域43a、43bと、2つの不純物領域に挟まれたチャネル形成領域43cとを活性層とし、且つ、不純物領域43aと接続する接続電極51と、不純物領域43bと接続するソース配線50と、を有する。

【0129】次いで、陰極と、有機化合物層と、陽極とを少なくとも有するOLEDを保護膜、封止基板、シリコンオイル、或いは封止缶で封入することにより、OLEDを外部から完全に遮断し、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことが好ましい。ただし、後でFPCと接続する必要のある入出力端子部には保護膜などは設けなくともよい。

【0130】なお、図2(C)に等価回路図を示す。ただし、図2(C)に示す等価回路図は第2の絶縁膜によって2つのTFT間で相互に影響を与えず独立させた場合のものである。図2(C)中、57は発光素子であり、58は電源線である。

【0131】OLEDに電流を供給する第2 TFT 56をpチャネル型TFTとする場合、図3(A)に示すような接続を行えばよい。また、OLEDに電流を供給する第2 TFT 56をnチャネル型TFTとする場合、図3(B)に示すような接続を行えばよい。なお、図3(A)及び図3(B)では、OLEDに電流を供給するTFTのみを示したが、該TFTのゲート電極の先には複数のTFTなどからなる様々な回路を設けてもよく、特に限定されないことは言うまでもない。

【0132】実施の形態1に示すCMOS回路とする場合、ゲート電極が共通であるため、上下のゲート電圧は同一であるが、本実施の形態においては、ゲート電極が共通ではない。本実施の形態において、下側のゲート電極41に印加される電圧と上側のゲート電極47に印加

される電圧が異なっており、互いにスキャンさせながら駆動させることになる。即ち、第2 TFT 56にゲート電極41から電圧を印加することができ、第1 TFT 55にゲート電極47から電圧を印加することもできる。こうすることで、一つの半導体層の上下にチャネル（デュアルチャネル）を形成するデュアルゲート構造の效果に似た効果、即ち、閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

【0133】また、第2 TFTをpチャネル型TFTとし、第1 TFTをnチャネル型TFTとして、第2 TFTのゲート電極に10Vの電圧を印加したオン状態のまま、第1 TFTのゲート電極に10Vの電圧を印加してオン状態とし、シミュレーションを行った所、第2の絶縁膜の膜厚が100nmと200nmとした場合にS値が0.25V/dccとなり、仮定した一般的な構造のnチャネル型TFTのS値(0.26V/dcc)よりも低い値とすることができる。従って、第2の絶縁膜の膜厚は100nm以上とすることが望ましい。ただし、上記シミュレーションでは一般的な構造のTFTの半導体層と、本発明のTFTの半導体層を同一の膜質として仮定しているものである。本発明は、レーザー光を照射して同時に2層の半導体層を溶融させた場合、吸収された熱が互いに保持されて、溶融したシリコンの冷却期間が単層の半導体層を溶融させた場合に比べ長くなるため、優れた結晶性を有する半導体膜が得られる。

【0134】また、本発明は、複数のTFTの占有面積を大幅に縮小できるため、レイアウトのマージンを広げることができるとともに、一つの画素サイズをさらに小さくして高精細な表示が可能な発光装置を実現できる。また、本発明は、複数のTFTの占有面積を大幅に縮小できるため、一つの画素に複数のTFTを設けることによって発光装置の表示面積が低下する構成とした場合に特に有効である。

【0135】また、本実施の形態は、実施の形態1と自由に組み合わせることができる。従って、同一基板上に画素部と駆動回路とを形成する場合、本実施の形態によって画素サイズを小さくすることができ、実施の形態1によって駆動回路サイズを小さくすることができる。

【0136】(実施の形態3)以下に本発明を用いた代表的なTFTおよびその作製方法を図4に示し、液晶表示装置への適用例を図5に示す。実施の形態1、2では構造の異なる複数のTFTを形成した例を示したが、本実施の形態では複数のチャネル形成領域を有するTFTを一例として説明する。

【0137】まず、絶縁表面を有する基板70上に下地絶縁膜となる第1の絶縁膜72を形成する。第1の絶縁膜72としては、珪素を主成分とする絶縁膜の単層膜または2層以上積層させればよい。ここでは図示しないが、第1の絶縁膜72を2層構造とし、第1の絶縁膜72の下層として、プラズマCVD法で成膜温度400

℃、原料ガス SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を 50nm （好ましくは $10\sim200\text{nm}$ ）形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸（ $1/100$ 希釈）で除去する。次いで、第1の絶縁膜72の上層として、プラズマCVD法で成膜温度 400°C 、原料ガス SiH_4 、 N_2O から作製される酸化窒化シリコン膜（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を 100nm （好ましくは $50\sim200\text{nm}$ ）の厚さに積層形成し、さらに大気解放せずにプラズマCVD法で成膜温度 300°C 、成膜ガス SiH_4 で非晶質構造を有する第1の半導体膜（ここではアモルファスシリコン膜）を 54nm の厚さ（好ましくは $25\sim200\text{nm}$ ）で形成する。

【0138】次いで、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された第1の半導体層73を形成する。第1の半導体層73を形成した後、レジストからなるマスクを除去する。

【0139】次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、最終的にゲート絶縁膜の1層となる珪素を主成分とする第2の絶縁膜74を形成する。ここでは、プラズマCVD法により 50nm の厚さ（好ましくは $1\text{nm}\sim200\text{nm}$ ）で酸化窒化シリコン膜（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）で形成する。

【0140】次いで、 $25\sim200\text{nm}$ の範囲の膜厚で非晶質構造を有する第2の半導体膜75を形成する。また、第1の半導体膜や第2の半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ SixGe_{1-x} （ $X=0.0001\sim0.02$ ））合金などを用い、公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により形成すればよい。また、第2の半導体膜は、第1の半導体膜と材料や膜厚を異ならせてもよい。

【0141】次いで、上記2層の半導体の両方を結晶化させるレーザー光の照射を行う。（図4（A））ここでは、出力 10W の連続発振の YVO_4 レーザから射出された第2高調波（ 532nm ）や第3高調波（ 355nm ）を適用する。好ましくは光学系により照射面にて楕円形状のレーザー光に成形して、非晶質構造を有する第1の半導体層及び非晶質構造を有する第2の半導体膜に照射する。このときのエネルギー密度は $0.01\sim100\text{MW}/\text{cm}^2$ 程度（好ましくは $0.1\sim10\text{MW}/\text{cm}^2$ ）が必要である。そして、 $0.5\sim2000\text{cm}/\text{s}$ 程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。非晶質構造を有する第1の半導体層73及び非晶質構造を有する第2の半導体膜75にレーザー光を照射することによって、吸収された熱が互いに保持されて冷却期間が長くなるため、大粒径化を生じさ

せることもできる。即ち、単層で非晶質シリコン膜を連続発振のレーザー光で結晶化させた場合よりも優れた結晶性を有する半導体膜を得ることができる。

【0142】また、珪素の結晶化を助長する金属元素（代表的にはニッケル）を第2の半導体層に添加した後、裏面側から基板を通過させて上記レーザー光の照射を行ってもよい。金属元素を添加する場合には第2の絶縁膜の膜厚を 10nm 以上とし、後の工程で第2の半導体層中から除去または低減するゲッタリング処理を行うことが好ましい。

【0143】また、必要であれば、表面（第2の半導体層）側から上記レーザー光の照射を行った後、裏面（第1の半導体層）側から基板を通過させて再び上記レーザー光の照射を行ってもよい。表面側と裏面側からレーザー光を照射して結晶化を行う場合は、レーザー光の波長範囲は特に限定されず、例えば、波長 400nm 以下のエキシマレーザーであってもよい。

【0144】次いで、上記第2の半導体膜のパターニングを行った後、第2の半導体層77の表面を洗浄する。ここまでの工程で図4（B）に示す断面図が得られる。次いで、珪素を主成分とする絶縁膜の単層または積層からなる第3の絶縁膜78を形成する。また、熱酸化法によって第2の半導体層の表面のみに酸化膜からなる第3の絶縁膜を形成してもよい。なお、第3の絶縁膜78は最終的にゲート絶縁膜の1層となる。第3の絶縁膜78の膜厚は、 $50\text{nm}\sim200\text{nm}$ の範囲で適宜選択すればよい。

【0145】次いで、第1の導電膜を形成し、マスクを用いてエッチングを行って最終的にゲート電極となる第1の電極71を形成する。次いで、第1の電極71をマスクとして半導体に n 型を付与する不純物元素（ P 、 As 等）を添加する。（図4（C））表面からの深さに合わせてそれぞれドーピング条件を適宜設定すれば、それぞれ異なる深さに配置された第1の半導体層と第2の半導体層にそれぞれ所望の不純物濃度を添加することができる。ここでは、イオンドーピング法によって第2の半導体層77及び第1の半導体層76にリンを添加し、自己整合的に n 型の不純物領域80～83を形成する。第2の絶縁膜74が比較的薄い場合、1回のドーピングで行うこともできる。また、ドーピングを行う前に、第3の絶縁膜78をドライエッチングで選択的に除去して第1の電極71と重なる部分のみを残し、第2の半導体層を露呈させて不純物元素の添加を行ってもよい。さらに、第2の半導体層と第2の絶縁膜との選択比が高ければ、ドーピング前後にドライエッチングで第2の絶縁膜のうち、第2の半導体層と重なる部分のみを残し、第1の半導体層を露呈させてもよい。第1の半導体層及び第2の半導体層を露呈させることができれば、後の工程である第1の半導体層に達するコンタクトホール形成工程が容易となる。

【0146】次いで、添加した不純物元素を活性化するために加熱処理、ランプ光源からの強光の照射、またはレーザー光の照射を行う。また、第2の半導体層を通過するレーザー光を用いて、同時に2層の活性化を行ってもよい。連続発振が可能な固体レーザー（YAGレーザー、YVO₄レーザー、YLFレーザー、または半導体レーザー励起の全固体赤外レーザー等）を用い、基本波の第2高調波～第4高調波を活性化に用いる場合には、0.01～100MW/cm²程度（好ましくは0.01～10MW/cm²）が必要である。また、0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。また、2層の下側には配線などがないため、裏面側もしくは、裏面側と表面側との両面から強光やレーザー光を照射して活性化させることが好ましい。表面側と裏面側からレーザー光を照射して活性化を行う場合は、レーザー光の波長範囲は特に限定されない。また、活性化と同時にゲート絶縁膜となる絶縁膜へのプラズマダメージやゲート絶縁膜となる絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。

【0147】次いで、層間絶縁膜84を形成し、水素化を行った後、マスクを用いて不純物領域80～83に達するコンタクトホールをそれぞれ形成する。各コンタクトホールは、選択比が十分とれるのであれば同時に形成してもよいが、別々に形成してもよいし、段階的に形成してもよい。第2の半導体層77の不純物領域82、83に達するコンタクトホールは、第1の半導体層76の不純物領域80、81に達するコンタクトホールよりも内側が形成される。ここでは断面図を分かりやすくするため、コンタクトホールを横一列に並べた配置としたが、特に限定されず、各半導体層の形状を適宜変更して所望の面積内に作り込めばよい。次いで、第2の導電膜を形成し、マスクを用いて各不純物領域80～83とそれぞれ電気的に接続する配線85～87を形成する。

（図4（D1））

【0148】以上の工程で、第1の電極71をゲート電極とし、異なる層に複数のチャネル形成領域88、89を有する1つのTF Tを形成することができる。共通のゲート電極を備え、自己整合的に形成されているため、チャネル長Lを同一とすることができる。このTF Tは、ソース領域83と、ドレイン領域81とを有し、接続電極85で接続された不純物領域80、82を有している。即ち、このTF Tの活性層は、異なる層に分離して存在する構成となっている。なお、チャネル形成領域88においてキャリアが流れる方向と、チャネル形成領域89においてキャリアが流れる方向とが反対になっている。

【0149】また、図4（D2）に上面図を示す。また、図4（D2）に上面図の一例を示す。図4（D2）中の鎖線A-A'で切断した断面図が図4（D1）に対

応している。なお、本発明はこの上面図に限定されないことは言うまでもない。

【0150】なお、図4（D3）に等価回路図の一例を示す。等価回路図で示すと、従来のダブルゲート構造とはほぼ同一であるが、各チャネル形成領域88、89とゲート電極71との距離間隔がそれぞれ異なっており、従来のダブルゲート構造とは異なっている。また、ゲート電極を並列して設ける必要がないため、従来のダブルゲート構造のTF Tよりも占有面積を小さくすることができる。ゲート電極71に電圧を印加して上側の半導体層が導通状態となっても下側の半導体層が導通状態とならなければ、TF T全体としてオン状態とならない。従って、実際のゲート絶縁膜は、第3の絶縁膜78と、第2の絶縁膜74とを合わせたものとなる。この実際のゲート絶縁膜の膜厚を調節することによって自由にオフ電流値やしきい値を設定することができる。加えて、上側のチャネル形成領域88もゲート絶縁膜の一部として働くと考えられる。このようなTF T構造とするとオフ電流値や電流リークを低減することができる。

【0151】また、ここでは第2の絶縁膜を薄くすることによって下側の半導体層に電圧を印加させてオンオフをコントロールする構造としたが、第2の絶縁膜を厚くする構成または、誘電率が非常に低い材料を用いれば、下側の半導体層は抵抗素子として機能させることができる。

【0152】上記TF Tを用いて液晶表示装置に適用する例を図5で説明する。なお、図5中、図4と同じ部位には同じ符号を用いる。

【0153】アクティブマトリクス型の液晶表示装置の画素部には、数十から数百万個の各画素にTF T（画素TF T）が配置され、その画素TF Tのそれぞれには画素電極が設けられる。

【0154】図5（A）にアクティブマトリクス基板における一つの画素に設けられたスイッチング素子周辺の断面図を示し、上面図を図5（B）に示す。図4（A）と異なっている点は、下層の半導体層と接続するドレイン配線86に画素電極90が設けられている点と、ドレイン配線86がゲート配線71と第4の絶縁膜84を間に挟んで重なっている点である。ここでは画素電極90として透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In₂O₃-ZnO）、酸化亜鉛（ZnO）等）を用いた透過型の液晶表示装置として用いる場合のアクティブマトリクス基板である。なお、第4の絶縁膜84を誘電体としてドレイン配線86とゲート配線71とで保持容量を形成している。

【0155】また、ここでは透過型の液晶表示装置の例を示すが、画素電極の材料として反射性を有する材料（Ag、Alなど）で形成すれば、反射型の液晶表示装置を作製することも可能である。

【0156】図5(A)に示すTFTをマトリクス状に配置したアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、ここでは配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0157】次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設ける。このカラーフィルタと遮光層とを覆う平坦化膜を設ける。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施す。

【0158】そして、アクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。

【0159】図5にアクティブマトリクス型液晶表示装置の等価回路図を示す。図5(B)では図示していないが保持容量92を他の箇所でも形成している。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサ91を形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0160】画素TFTは図4に示す手順によって形成されたnチャネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値(TFTがオフ動作時に流れるドレイン電流)を十分低くすることが重要であるため、本発明のTFTは画素TFTに有用である。

【0161】本発明により、オフ電流値が十分に低いTFTを小さい面積で作製することができる。また、図4に示すTFTは、一つのゲート電極で構成しており、ゲート電極を並列して設ける必要がないため、従来のダブルゲート構造のTFTよりも占有面積を小さくすることができる。従来のダブルゲート構造のTFTでは、2つのゲート電極を並列に設けるため、少なくともチャネル長方向における長さは、2つのゲート電極の幅と、ゲート電極間の幅が必要であり、パターンニング精度によって

これらの長さが決定していた。一方、本発明は、少なくともチャネル長方向における長さは1つのゲート電極の幅のみでよい。従って、本発明により、TFTの占有面積を大幅に縮小できるため、レイアウトのマージンを広げることができるとともに、透過型の液晶表示装置において開口率の向上に寄与することができる。

【0162】また、ここではn型の不純物元素を添加してnチャネル型TFTを作製した例を示したが、n型の不純物元素に代えてp型の不純物元素を添加すればpチャネル型TFTを作製することもできる。

【0163】また、ここではトップゲート型TFTの例を示したが、第2の半導体層の上方に設けたゲート電極に代えて、ゲート電極を第1の半導体層の下方に設けて逆スタガ型TFTとすることもできる。

【0164】また、本実施の形態は、実施の形態1や実施の形態2と自由に組み合わせることができる。

【0165】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0166】(実施例) [実施例1] 本実施例では、ELモジュールにおける具体的な回路構成の一例を図8及び図9に示す。

【0167】図8(A)中、120は画素部であり、複数の画素121がマトリクス状に形成されている。また122は信号線駆動回路(ソース配線側駆動回路)、123は走査線駆動回路(ゲート配線側駆動回路)である。

【0168】図8(A)で示した画素121の詳しい構成の一例を図2に示す。図2の構成は、上記実施の形態2と同一であるため、ここでは詳しい説明は省略する。図8に示す画素121は、少なくとも発光素子であるOLED、及びOLEDに接続して電流を供給するTFT、該TFTに接続するTFT、信号線Si(S1~Sxのうちの1つ)、走査線Gj(G1~Gyのうちの1つ)、電源線Vi(V1~Vxのうちの1つ)を有している。また、図2に示す画素には保持容量を設けていないが、保持容量を設けてもよい。ただし、図2に示す画素構成に限定されないことは言うまでもない。

【0169】なお、図8(A)では信号線駆動回路122と走査線駆動回路123が、画素部120と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路122と走査線駆動回路123とが画素部120と異なる基板上に一部形成され、FPC等のコネクタを介して、画素部120と接続されていても良い。また、図8(A)では信号線駆動回路122と走査線駆動回路123は1つづつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路122と走査線駆動回路123の数は設計者が任意に設定することができる。

【0170】なお本明細書において接続とは、電気的な

接続を意味する。

【0171】また、図8（A）では、画素部120に信号線S1～Sxと、電源線V1～Vxと、走査線G1～Gyとが印加される配線とが設けられている。なお信号線と電源線の本数は必ずしも同じであるとは限らない。またこれらの配線の他に、別の異なる配線が設けられていても良い。

【0172】電源線V1～Vxは所定の電位に保たれている。なお図8（A）ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0173】図8（B）に図8（A）で示した信号線駆動回路122の詳しい構成の一例をブロック図で示す。

122aはシフトレジスタ、122bは記憶回路A、122cは記憶回路B、122dは定電流回路である。

【0174】シフトレジスタ122aにはクロック信号CLKと、スタートパルス信号SPが入力されている。また記憶回路A122bにはデジタルビデオ信号（Digital Video Signals）が入力されており、記憶回路B122cにはラッチ信号（Latch Signals）が入力されている。定電流回路122dから出力される一定の信号電流Icは信号線へ入力される。

【0175】シフトレジスタ122aに所定の配線からクロック信号CLKとスタートパルス信号SPとが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路A122bが有する複数のラッチA（LATA__1～LATA__x）にそれぞれ入力される。なおこのときシフトレジスタ122aにおいて生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路A122bが有する複数のラッチA（LATA__1～LATA__x）にそれぞれ入力するような構成にしても良い。

【0176】記憶回路A122bにタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線に入力される1ビット分のデジタルビデオ信号が、順に複数のラッチA（LATA__1～LATA__x）のそれぞれに書き込まれ、保持される。

【0177】なお、ここでは記憶回路A122bにデジタルビデオ信号を取り込む際に、記憶回路A122bが有する複数のラッチA（LATA__1～LATA__x）に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路A122bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割

で分割駆動すると言う。

【0178】記憶回路A122bの全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0179】1ライン期間が終了すると、記憶回路B122cが有する複数のラッチB（LATB__1～LATB__x）に、ラッチ信号線を介してラッチシグナル（LatchSignal）が供給される。この瞬間、記憶回路A122bが有する複数のラッチA（LATA__1～LATA__x）に保持されているデジタルビデオ信号は、記憶回路B122cが有する複数のラッチB（LATB__1～LATB__x）に一斉に書き込まれ、保持される。

【0180】デジタルビデオ信号を記憶回路B122cに送出し終えた記憶回路A122bには、シフトレジスタ122aからのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0181】この2順目の1ライン期間中には、記憶回路B122cに書き込まれ、保持されているデジタルビデオ信号が定電流回路122dに入力される。

【0182】また、図9（A）に電流設定回路C1のより詳しい構成を示す。なお、電流設定回路C2～Cxも同じ構成を有する。また、図9（B）に図9（A）中におけるSWとInbの等価回路を示す。SWやInbに本発明を適用することも可能であり、駆動回路が占める面積を縮小することができる。本発明を適用する場合には、画素部の構成に合わせることを好ましく、図2では下側をnチャネル型TFTとし、上側をpチャネル型TFTとしているので、SWやInbも同様の構成とし、さらにSWやInbに適したサイズに適宜変更すればよい。なお、Inbに関しては、実施の形態1にその適用例が示してある。

【0183】電流設定回路C1は定電流源131と、4つのトランスマッションゲートSW1～SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源131が有するトランジスタ130の極性は、画素が有するトランジスタの極性と同じである。

【0184】記憶回路B122cが有するLATB__1から出力されたデジタルビデオ信号によって、SW1～SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0185】SW1及びSW3がオンのとき、定電流源131から0ではない所定の値の電流IcがSW1及びSW3を介して信号線S1に入力される。

【0186】逆にSW2及びSW4がオンのときは、定電流源131からの電流IcはSW2を介してグラウンドに落とされる。またSW4を介して電源線V1～Vxの電源電位が信号線S1に与えられ、Ic≒0となる。

【0187】再び図8(B)を参照して、前記の動作が、1ライン期間内に、定電流回路122dが有する全ての電流設定回路(C1～Cx)において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力される信号電流Icの値が選択される。

【0188】次に、走査線駆動回路123の構成について説明する。

【0189】走査線駆動回路123は、それぞれシフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。

【0190】走査線駆動回路において、シフトレジスタにクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。バッファ回路に本発明を適用することも可能であり、駆動回路が占める面積を縮小することができる。

【0191】走査線には、画素1ライン分のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしないといけないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0192】なお、シフトレジスタの代わりに、例えばデコーダ回路のような走査線の選択ができる別の回路を用いても良い。

【0193】なお、各走査線の電圧を、各走査線にそれぞれ対応する複数の走査線駆動回路で制御しても良いし、いくつかの走査線または全ての走査線の電圧を1つの走査線駆動回路で制御しても良い。

【0194】なお、本発明のOLEDを有する半導体装置を駆動する信号線駆動回路122及び走査線駆動回路123は、ここで示す構成に限定されないことは言うまでもない。

【0195】本実施例は、上記に示した画素構成に実施の形態2を適用して、画素部の一つの画素における複数のTFTの占有面積を大幅に縮小することができる。加えて上記に示した駆動回路のCMOS回路の一部または全てに実施の形態1を適用して駆動回路におけるCMOS回路の占有面積を大幅に縮小することができる。なお、本実施例は、実施の形態1や実施の形態2と自由に組み合わせることができる。

【0196】また、実施の形態1や実施の形態2を用いて完成させたELモジュール外観図の一例を図10に示す。図10(A)は、OLEDを有するモジュール、いわゆるELモジュールの上面図であって、図10(B)は図10(A)をA-A'で切断した断面図である。絶

縁表面を有する基板200(例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等)に、画素部202、ソース側駆動回路201、及びゲート側駆動回路203を形成する。なお、ソース側駆動回路201は、図8の信号線駆動回路122と対応しており、また、ゲート側駆動回路203は、図8の走査線駆動回路123と対応しており、画素部202は図8の画素部120と対応している。これらの画素部や駆動回路は、上述の記載または上記実施の形態1または実施の形態2に従えば得ることができる。

【0197】また、218はシール材、219は保護膜であり、画素部および駆動回路部はシール材218で覆われ、そのシール材は保護膜219で覆われている。さらに、接着材を用いてカバー材220で封止されている。カバー材220としては、プラスチック、ガラス、金属、セラミックス等、いかなる組成の基材でもよい。また、カバー材220の形状および支持体の形状も特に限定されず、平面を有するもの、曲面を有するもの、可曲性を有するもの、フィルム状のものであってもよい。熱や外力などによる変形に耐えるためカバー材220は基板200と同じ材質のもの、例えばガラス基板を用いることが望ましく、本実施例では、サンドブラスト法などにより図10に示す凹部形状(深さ3～10μm)に加工する。さらに加工して乾燥剤221が設置できる凹部(深さ50～200μm)を形成することが望ましい。また、EL層216を保護するため、基板200とカバー材220の間にシリコンオイルを充填させてもよい。また、多面取りでELモジュールを製造する場合、基板とカバー材とを貼り合わせた後、CO₂レーザー等を用いて端面が一致するように分断してもよい。

【0198】また、ここでは図示しないが、用いる金属層(ここでは陰極など)の反射により背景が映り込むことを防ぐために、位相差板(λ/4板)や偏光板からなる円偏光板と呼ばれる円偏光手段を基板200に設けてもよい。

【0199】なお、208はソース側駆動回路201及びゲート側駆動回路203に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)209からビデオ信号やクロック信号を受け取る。また、本実施例の発光装置は、デジタル駆動であってもよく、アナログ駆動であってもよく、ビデオ信号はデジタル信号であってもよいし、アナログ信号であってもよい。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、これらの画素部や駆動回路と同一基板上に複雑な集積回路(CPU、コントローラ等)を形成することも可能であるが、少ないマスク数での作製は困難

である。従って、CPU、コントローラ等を備えたICチップを、COG (chip on glass) 方式やTAB (tape automated bonding) 方式やワイヤボンディング方法で実装することが好ましい。

【0200】次に、断面構造について図10(B)を用いて説明する。基板200上に絶縁膜210が設けられ、絶縁膜210の上方には画素部202、ゲート側駆動回路203が形成されており、画素部202は電流制御用TFT211aとそのドレインに電氣的に接続された画素電極212bと、スイッチング用TFT211bとを含む複数の画素により形成される。ただし、ここで示した画素構成(1画素に2つのTFT)に限定されず、さらに複数のTFTや回路を一つの画素に作り込んでもよい。また、ゲート側駆動回路203に設ける様々な回路はnチャネル型TFT213とpチャネル型TFT214とを組み合わせたCMOS回路を用いて形成される。

【0201】なお、本実施例では、スイッチング用TFT211bに逆スタガ型であるnチャネル型TFTを用い、電流制御用TFT211bにトップゲート型であるpチャネル型TFTを用いたが、本発明はこの構成に限定されない。スイッチング用TFTと電流制御用TFTはpチャネル型TFTでもnチャネル型TFTでも良い。ただし、OLEDの陽極を画素電極として用いる場合、電流制御用TFTはpチャネル型TFTであることが望ましく、OLEDの陰極を画素電極として用いる場合、電流制御用TFTはnチャネル型TFTであることが望ましい。

【0202】電流制御用TFT211aの一方の不純物領域と電氣的に接続している接続電極212aに電氣的に接続された画素電極212bはOLEDの陽極として機能させる。また、画素電極212bの両端にはバンク215が形成され、画素電極212b上にはEL層216およびOLEDの陰極217が形成される。

【0203】陰極217は全画素に共通の配線としても機能し、接続配線208を経由してFPC209に電氣的に接続されている。仕事関数が小さければ小さいほど発光効率が向上するため、中でも、陰極に用いる材料としては、アルカリ金属の一つであるLi(リチウム)を含む合金材料が望ましい。さらに、画素部202及びゲート側駆動回路203に含まれる素子は全て陰極217、シール材218、及び保護膜219で覆われている。

【0204】なお、シール材218としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材218はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材は特に設けなくともよい。

【0205】また、シール材218を用いてOLEDを完全に覆った後、すくなくとも図10に示すようにA1

ON膜、AIN膜、Al₂O₃膜、またはDLC膜から選ばれた単層または積層からなる保護膜219をシール材218の表面(露呈面)に設けることが好ましい。

【0206】以上のような構造でOLEDを保護膜で封入することにより、OLEDを外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0207】また、画素電極を陰極とし、EL層と陽極を積層して図10とは逆方向に発光する構成としてもよい。逆方向とした場合にはカバー材は透光性を有する材料で形成し、カバー材に円偏光手段を設ければよい。

【0208】[実施例2] 本実施例では、実施の形態1及び実施例1とは異なる画素構成、具体的には、各画素にメモリー素子(SRAM)を組み込んだ例を示す。図11に一つの画素の等価回路図を示す。

【0209】図11において、305はスイッチング用TFTである。スイッチング用TFT305のゲート電極は、ゲート信号を入力するゲート信号線(G1~Gn)のうちの1つであるゲート信号線306に接続されている。スイッチングTFT305のソース領域とドレイン領域は、一方が信号を入力するソース信号線(S1~Sn)のうちの1つであるソース信号線307に、もう一方がSRAM308の入力側に接続されている。SRAM308の出力側は電流制御用TFT309のゲート電極に接続されている。

【0210】また、電流制御用TFT309のソース領域とドレイン領域は、一方が電流供給線(V1~Vn)の1つである電流供給線310に接続され、もう一方はOLED311に接続される。

【0211】OLED311は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極が電流制御用TFT309のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、陰極は対向電極となる。逆に陰極が電流制御用TFT309のソース領域またはドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、陽極は対向電極となる。

【0212】SRAM308はpチャネル型TFTとnチャネル型TFTを2つずつ有しており、pチャネル型TFTのソース領域は高電圧側のV_{d d h}に、nチャネル型TFTのソース領域は低電圧側のV_{s s}に、それぞれ接続されている。1つのpチャネル型TFTと1つのnチャネル型TFTとが対になっており、1つのSRAMの中にpチャネル型TFTとnチャネル型TFTとの対が2組存在することになる。

【0213】また、対になったpチャネル型TFTとnチャネル型TFTは、そのドレイン領域が互いに接続されている。また対になったpチャネル型TFTとnチャネル型TFTは、そのゲート電極が互いに接続されてい

る。そして互いに、一方の対になっているpチャネル型TFT及びnチャネル型TFTのドレイン領域が、他の一方の対になっているpチャネル型TFT及びnチャネル型TFTのゲート電極と同じ電位に保たれている。

【0214】そして一方の対になっているpチャネル型及びnチャネル型TFTのドレイン領域は入力信号(Vin)が入る入力側であり、もう一方の対になっているpチャネル型及びnチャネル型TFTのドレイン領域は出力信号(Vout)が出力される出力側である。

【0215】SRAMはVinを保持し、Vinを反転させた信号であるVoutを出力するように設計されている。つまり、VinがHiだとVoutはVss相当のLoの信号となり、VinがLoだとVoutはVddh相当のHiの信号となる。

【0216】なお、本実施例で示すように、SRAMが画素304に一つ設けられている場合には、画素中のメモリーデータが保持されているため外部回路の大半を止めた状態で静止画を表示することが可能である。これにより、低消費電力化を実現することができる。

【0217】また、画素に複数のSRAMを設けることも可能であり、SRAMを複数設けた場合には、複数のデータを保持することができるので、時間階調による階調表示を可能になる。

【0218】本実施例では、pチャネル型TFTとnチャネル型TFTとの対を少なくとも一組を実施の形態1または実施の形態2に従って形成し、集積することによってSRAM308の占有面積を縮小することを可能とする。加えて、スイッチング用TFT305と電流制御用TFT309との対を実施の形態2に従って集積することも可能である。

【0219】また、ここではOLEDを有する発光装置において1つの画素にSRAMを作り込んだ例を示したが、液晶表示装置において、一つの画素にSRAMを作り込んでもよい。本発明によって占有面積が縮小されたSRAMを一つの画素に形成することによって、液晶表示装置の開口率が大幅に向上する。

【0220】また、ここではSRAMの占有面積を縮小した例を示したが、同様に他のメモリ素子、例えばDRAMの占有面積を縮小することも可能であり、一つの画素に作り込むことができる。

【0221】なお、本実施例は実施例1、実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることが可能である。

【0222】〔実施例3〕本実施例では、実施例1や実施例2とは異なる画素の構成の例を図12に示す。

【0223】図12(A)に記載の画素は、TFT411、412、413、414と、保持容量415と、OLED(発光素子)416とを有している。

【0224】本実施例では、1つの画素に設けられる4

つのTFT411、412、413、414を実施の形態1または実施の形態2を用いて集積し、占有面積を縮小する。また、集積化しても、駆動方法は変わらない。以下に画素の構成とOLEDの駆動方法の説明を行う。

【0225】TFT411は、ゲートが端子418に接続され、ソースとドレインが一方は電流源417に、他方はTFT413のドレインに接続されている。TFT412は、ゲートが端子419に、ソースとドレインが一方はTFT413のドレインに、他方はTFT413のゲートに接続されている。TFT413とTFT414は、ゲートが互いに接続されており、ソースが共に端子420に接続されている。TFT414のドレインはOLED416の陽極に接続されており、発光素子416の陰極は端子421に接続されている。保持容量415はTFT413及び414のゲートとソース間の電圧を保持するように設けられている。端子420、421には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0226】端子418、419に与えられる電圧によりTFT411、412がオンになった後、電流源417によってTFT413のドレイン電流が制御される。ここで、TFT413はゲートとドレインが接続されているため飽和領域で動作している。この場合、TFT413のドレイン電流はゲート電圧によって変化する。また、TFT413とTFT414はそのゲートとソースが互いに接続されているため、TFT414のゲート電圧がTFT413のゲート電圧と同じ大きさに保たれる。

【0227】よって、TFT413とTFT414はドレイン電流が比例関係になる。特にTFTの電気特性値が同じであれば、TFT413とTFT414はドレイン電流が同じになる。TFT414に流れるドレイン電流はOLED416に供給され、該ドレイン電流の大きさに見合った輝度でOLED416は発光する。そして、端子418、419に与えられる電圧によりTFT411、412がオフになった後も、TFT414のゲート電圧が保持容量415によって保持されている限り、OLED416は発光し続ける。

【0228】このように、図12(A)に示した画素は、画素に供給された電流を電圧に変換して保持する手段と、該保持された電圧に応じた大きさの電流を発光素子に流す手段とを有している。

【0229】また、図12(A)とは異なる画素構成を図12(B)に示す。図12(B)に記載の画素は、TFT431、432、433、434と、保持容量435と、OLED436とを有している。

【0230】本実施例では、1つの画素に設けられる4つのTFT431、432、433、434を実施の形態1または実施の形態2を用いて集積し、占有面積を縮小する。また、集積化しても、駆動方法は変わらない。

以下に画素の構成とOLEDの駆動方法の説明を行う。

【0231】TFT31はゲートが端子438に接続され、ソースとドレインが一方は電流源37に、他方はTFT433のソースに接続されている。また、TFT434はゲートが端子438に接続され、ソースとドレインが一方はTFT433のゲートに、他方はTFT433のドレインに接続されている。TFT432は、ゲートが端子439に、ソースとドレインが、一方は端子440に、他方はTFT433のソースに接続されている。TFT434のドレインはOLED436の陽極に接続されており、OLED436の陰極は端子441に接続されている。保持容量435はTFT433のゲートとソース間の電圧を保持するように設けられている。端子440、441には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0232】端子438に与えられる電圧によりTFT431及び434がオンになり、かつ端子439に与えられる電圧によりTFT432がオフになった後、電流源437によってTFT433のドレイン電流が制御される。ここで、TFT433はゲートとドレインが接続されているため飽和領域で動作している。この場合、TFT433のドレイン電流はゲート電圧によって変化する。

【0233】TFT433に流れるドレイン電流はOLED436に供給され、該ドレイン電流の大きさに見合った輝度でOLED436は発光する。

【0234】そして、端子438に与えられる電圧によりTFT431、434がオフになった後、端子439に与えられる電圧によりTFT432がオンになる。このとき、TFT433のゲート電圧が保持容量435によって保持されている限り、TFT431、434がオンであったときと同じ輝度でOLED436は発光し続ける。

【0235】このように、図12(B)に示した画素は、画素に供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの電流を発光素子に流す手段を有している。

【0236】上述した図12(A)、(B)に示す画素は、TFTの閾値やオン電流等の特性が画素毎にばらついていても、電流源によりOLEDに流れる電流の大きさを制御するので、画素間でOLEDの輝度にばらつきが生じるのを防ぐことができる。

【0237】また、本実施例は実施例1と組み合わせることができる。実施例1の画素構成に代えて、図12(A)、(B)に示す画素構成とすればよい。

【0238】以上に示したように、本発明は画素の構成やOLEDの駆動方法によらず適用することが可能である。

【0239】〔実施例4〕実施の形態1では、2つのゲート電極を設けてCMOS回路を形成した例を示した

が、本実施例では、1つのゲート電極でCMOS回路を形成する例を図13に示す。

【0240】なお、途中の工程までは実施の形態3と同一であるのでここでは省略する。また、図13中、図4と同じ部位には同一の符号を用いる。

【0241】まず、実施の形態3に従って図4(B)と同じ状態を得る。(図13(A))次いで、次いで、実施の形態3に従って、珪素を主成分とする絶縁膜の単層または積層からなる第3の絶縁膜と、第1の電極71とを形成する。また、熱酸化法によって第2の半導体層の表面のみに酸化膜からなる第3の絶縁膜を形成してもよい。第3の絶縁膜の膜厚は、50nm~200nmの範囲で適宜選択すればよい。

【0242】次いで、第1の電極71をマスクとしてエッチングを行って第3の絶縁膜を選択的に除去して第1の電極71と重なる部分のみを残し、第3の絶縁層503を形成する。なお、ここではエッチングを行って第3の絶縁層を形成した例を示すが、行わなくともよい。次いで、一部を露呈させた第2の半導体層に第1の電極71をマスクとして自己整合的にp型を付与する不純物元素(ボロン)を添加して不純物領域501、502を形成する。(図13(B))ここでは露呈させた領域に比較的低い加速電圧で高濃度のドーピングを行うため、第1の半導体層にほとんどp型の不純物元素は添加されない。

【0243】次いで、第1の電極71をマスクとして自己整合的にn型を付与する不純物元素(リン)を添加して不純物領域504a、504b、505a、505bを形成する。(図13(C))ここでは第2の絶縁膜74を通過させて比較的高い加速電圧で高濃度のドーピングを行う。ここでは、不純物領域501、502にも低濃度でリンが添加されるが、高濃度にボロンが添加されているため、最終的にpチャネル型TFTのソース領域またはドレイン領域として十分に機能する。また、上方に存在する第2の半導体層によって表面からの深さが異なっている領域、即ち不純物領域504b、505bにはドーパントが低濃度に添加され、LDD領域となっている。また、ボロンは原子サイズが小さく、添加後に活性化させにくいいため、ここでのリンのドーピングによってドーピングダメージを与えて第2の半導体層を非晶質化させ、後の活性化工程で再結晶化(活性化)させやすくしている。

【0244】また、上記ドーピング順序に限定されず、先にn型を付与する不純物元素を添加した後でp型を付与する不純物元素を添加してもよい。

【0245】次いで、第2の半導体層をマスクとして第2の絶縁膜74を選択的に除去して、第2の絶縁層506を形成する。ただし、第2の絶縁膜と第2の半導体層との選択比が十分取れるエッチング条件および第2の絶縁膜の膜厚とすることが重要である。なお、ここではエ

ッチングを行って第2の絶縁層を形成した例を示すが、行わなくともよい。

【0246】次いで、添加した不純物元素を活性化するために加熱処理、ランプ光源からの強光の照射、またはレーザー光の照射を行う。また、第2の半導体層を通過するレーザー光を用いて、同時に2層の活性化を行ってもよい。連続発振が可能な固体レーザー（YAGレーザー、YVO₄レーザー、YLFレーザー等）を用い、基本波の第2高調波～第4高調波を活性化に用いる場合には、0.01～100MW/cm²程度（好ましくは0.01～10MW/cm²）が必要である。また、0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。また、2層の下層には電極などが存在しないので、裏面側からレーザー光を照射して2層の半導体層を同時に活性化させることが好ましい。また、裏面側と表面側との両面から強光やレーザー光を照射してもよい。表面側と裏面側からレーザー光を照射して活性化を行う場合は、レーザー光の波長範囲は特に限定されない。また、活性化と同時にゲート絶縁膜となる絶縁膜へのプラズマダメージやゲート絶縁膜となる絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。

【0247】次いで、層間絶縁膜507を形成し、水素化を行った後、各不純物領域に達するコンタクトホールをそれぞれ形成する。各コンタクトホールは、選択比が十分とれるのであれば同時に形成してもよいが、別々に形成してもよい。第2の半導体層の不純物領域501、502に達するコンタクトホールは、第1の半導体層の不純物領域504a、505aに達するコンタクトホールよりも内側が形成される。次いで、各不純物領域とそれぞれ電氣的に接続する配線508～510を形成する。（図13（D1））

【0248】以上の工程で、第1の電極71をゲート電極とし、且つ、第3の絶縁層503をゲート絶縁膜とし、且つ、ソース領域502と、ドレイン領域501と、これらの領域に挟まれたチャネル形成領域512とを活性層とし、且つ、ソース領域502と接続するソース配線510と、ドレイン領域501と接続するドレイン配線509と、を有するトップゲート構造のpチャネル型TFT500が完成する。

【0249】加えて、第1の電極71をゲート電極とし、且つ、第3の絶縁層503、第2の絶縁層506をゲート絶縁膜とし、且つ、ソース領域505aと、ドレイン領域504aと、LDD領域504b、505bと、これらの領域に挟まれたチャネル形成領域511とを活性層とし、且つ、ソース領域505aと接続するソース配線508と、ドレイン領域504aと接続するドレイン配線509と、を有するトップゲート構造のnチャネル型TFTが完成する。また、これらのTFTを相補的に組み合わせればCMOS回路を作製することがで

きる。

【0250】また、本発明の作製工程においては、CMOS回路を5枚のマスクで作製することができる。従来、並列に並べてCMOS回路を作製する場合、半導体層のパターニング、ゲート電極のパターニング、n型を付与する不純物元素のドーピングマスク、p型を付与する不純物元素のドーピングマスク、コンタクトホールのパターニング、配線のパターニングと6枚のマスクが必要であった。本発明は、半導体層のマスクを1枚追加し、ドーピングマスクを2枚削減することでマスク数を増やすことなく大幅にCMOS回路の所要面積を縮小できる。

【0251】また、図13（D2）に上面図の一例を示す。図13（D2）中の鎖線A-A'で切断した断面図が図13（D1）に対応している。

【0252】また、コンタクトを取るために第1の半導体層と第2の半導体層のサイズは異なっているが、特に形状は限定されない。また、nチャネル型TFTのチャネル形成領域511は、pチャネル型TFTのチャネル形成領域512のチャネル長Lと同一である。

【0253】なお、図13（D3）にCMOS回路の一例であるインバータ回路とした場合の等価回路図の一例を示す。等価回路図で示すと、一般的なCMOS回路とほぼ同一であるが、実際は、各チャネル形成領域511、512とゲート電極71との距離間隔がそれぞれ異なっており、一般的なCMOS回路とは異なっている。従って、nチャネル型TFTにおいて、実際のゲート絶縁膜は、第3の絶縁層503と、第2の絶縁層506とを合わせたものとなる。このことを考慮にいと、これらの絶縁層の合計膜厚を50nm～200nmの範囲で適宜調節することによって自由にオフ電流値やしきい値を設定することができる。加えて、上側のチャネル形成領域512もゲート絶縁膜の一部として働くとも考えられる。このようなTFT構造とするとオフ電流値や電流リークを低減することができる。

【0254】また、ここでは第1の半導体層76にn型を付与する不純物元素を添加し、第2の半導体層77にp型を付与する不純物元素を添加した例を示したが、第1の半導体層76にp型を付与する不純物元素を添加し、第2の半導体層77にn型を付与する不純物元素を添加してもよい。

【0255】また、図13（D1）のTFTは、シングルゲート構造であるが、特に限定されず、ゲート電極を平面状に2つ並列配置して2つのチャネル形成領域を有するダブルゲート構造としてもよいし、3つ以上複数のチャネル形成領域を有するマルチゲート構造としてもよい。

【0256】また、ここではトップゲート型TFTの例を示したが、第2の半導体層の上方に設けたゲート電極に代えて、ゲート電極を第1の半導体層の下方に設けて

逆スタガ型TFTとすることもできる。

【0257】本実施例により、CMOS回路の占有面積を大幅に縮小することができる。従って、CMOS回路を含む駆動回路の小型化が可能となる。

【0258】また、本実施例は実施の形態1乃至3、実施例1乃至3のいずれとも自由に組み合わせることができる。

【0259】例えば、本実施例と実施の形態3と組み合わせる場合には、同一基板上に画素部と駆動回路を形成し、画素部のTFTを実施の形態3に示したオフ電流値の低いTFTを形成し、駆動回路に本実施例のCMOS回路を形成してもよい。この場合、駆動回路に互いに重なる2層の半導体層が設けられ、画素部にも互いに重なる2層の半導体層を設けることができる。ただし、2層の半導体層のうち、上層の半導体層にドーピングを別々に行う必要があるのでドーピングマスクが必要となる。

【0260】また、同一基板上に種類の異なるTFTを選択的に形成してもよい。図14(A)～(C)に作製工程の一例を示す。図14(A)は実施の形態3に示した図4(A)に対応しており、同一の部位には同一の符号を用いる。図14(A)に示すようにレーザー光を照射した後、第2の半導体層のパターニングを行う。ここで図中、左側に示した領域には第2の半導体層を形成し、右側に示した領域には第2の半導体層を設けないパターニングを行う。次いで、第3の絶縁膜と第1の電極を形成し、第1の電極をマスクとして第3の絶縁膜を選択的に除去して第3の絶縁層503を形成する。次いで、n型またはp型を付与する不純物元素のドーピングを行い、右側に示した半導体層にn型を付与する不純物元素のみを添加する。このドーピング後の図を示したものが、図14(B)であり、図13(C)と対応している。図14(B)、(C)において、左側に示した領域は図13(C)、(D)と同一であり、同一の部位には同一の符号を用いる。なお、以降の工程は、上述した図13(C)から図13(D)の状態を得る工程と同じであるのでここでは説明を省略する。こうして、図14(C)に示すように、左側の領域には図13(D)と同一のCMOS回路が完成し、同時に右側の領域にはダブルゲート構造のTFT604が完成する。なお、TFT604は、ゲート電極605と、第2絶縁層及び第3絶縁層503からなるゲート絶縁膜と、603、604で示したソース領域またはドレイン領域と、601、602で示したソース配線またはドレイン配線とで構成されている。

【0261】〔実施例5〕本実施例は、実施の形態1と異なる構成のCMOS回路を形成した例を図15に示す。図15(A)は断面図、図15(B)は上面図である。本実施例は実施の形態と異なる点は、第1の絶縁膜712が単層であり、且つ第2の絶縁膜が2層構造(714a、714b)である点と、第1の電極と第2の電

極のサイズが異なっている点と、オフセット領域700が形成されている点である。これらの点以外は、実施の形態1と工程および構成がほとんど同一であるため、ここでは詳細な説明は省略する。

【0262】実施の形態1では、第1の絶縁膜に平坦化処理を行った例を示したが、本実施例では、第2の絶縁膜を2層構造(714a、714b)とし、平坦化処理を行って第2の絶縁膜の上層714bを形成する。平坦化処理として、塗布膜(レジスト膜等)を形成した後エッチングなどを行って平坦化するエッチバック法や機械的研磨法(CMP法)等を用いればよい。

【0263】また、本実施例では、第1の電極711と第2の電極719のチャネル長方向における幅が異なっている。第2の電極719をドーピングマスクとするため、チャネル形成領域728のチャネル長がL1となり、チャネル形成領域729のチャネル長L2となる。加えて、ソース領域またはドレイン領域と、チャネル形成領域728との間にオフセット領域700が形成される。オフセット領域700を形成することによってリーク電流の低減が成される。

【0264】従って、本実施例のnチャネル型TFTは、第1の電極711をゲート電極とし、チャネル形成領域728と、該チャネル形成領域728に接するオフセット領域700と、ソース領域およびドレイン領域と、ソース領域またはドレイン領域に接続するソース配線726、727及びドレイン配線725とを有する逆スタガ型TFTである。

【0265】また、本実施例は、実施の形態1乃至3、実施例1乃至4のいずれとも自由に組み合わせることが可能である。

【0266】〔実施例6〕本実施例は、第1の半導体層にp型を付与する不純物元素の添加を行い、第2の半導体層にn型を付与する不純物元素の添加を行った例を図16に示す。

【0267】なお、本実施例は、図1(A)～(D)に示す工程とほぼ同一であり、且つ、構造もほぼ同一であるため、異なる点のみを以下に説明する。

【0268】ドーピング工程において、第2の電極819をマスクとして第1の半導体層にp型を付与する不純物元素(ボロン)の添加を行い、さらに第2の半導体層にn型を付与する不純物元素(リンなど)の添加を行う。適宜、ドーピング条件を設定してそれぞれ添加を行えばよい。また、本実施例においては、同時にドーピングしてもよく、ボロンのほうがリンよりも原子半径が小さいので膜中に深く注入されるため、同じ加速電圧で添加しても第2の半導体層にリンを添加し、第1の半導体層にボロンを添加することもできる。

【0269】ドーピング工程以外の工程は、実施の形態1に従って作製し、図16(A)に示すCMOS回路が完成する。なお、第2の電極719をゲート電極とし、

第2の半導体層を活性層とするトップゲート構造のTF
T830はnチャネル型TF Tである。また、第1の電
極711をゲート電極とし、第1の半導体層を活性層と
する逆スタガ構造のTF Tはpチャネル型TF Tであ
る。なお、827は上記nチャネル型TF Tのソース配
線であり、826は上記pチャネル型TF Tのソース配
線である。

【0270】また、図16(B)に上面図の一例を示
す。図16(B)中の鎖線A-A'で切断した断面図が
図16(A)に対応している。

【0271】また、これら2つのTF Tのドレイン領域
は、ドレイン配線825と電気的に接続されており、上
記nチャネル型TF T830と相補的に組み合わせれ
ば、CMOS回路を形成することができる。なお、図1
(D3)にCMOS回路とした場合の等価回路図の一例
を示す。

【0272】なお、本実施例は、実施の形態1乃至3、
実施例1乃至5のいずれとも自由に組み合わせることが
可能である。

【0273】〔実施例7〕本発明を実施して形成された
駆動回路や画素部は、様々なモジュール(アクティブマ
トリクス型液晶モジュール、アクティブマトリクス型E
Lモジュール、アクティブマトリクス型ECモジュール
の小型化、軽量化、または高精細化を実現すること
ができる。即ち、本発明を実施することによって、それ
らを組み込んだ全ての電子機器が完成される。

【0274】その様な電子機器としては、ビデオカメ
ラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴ
ーグル型ディスプレイ)、カーナビゲーション、プロジ
ェクタ、カーステレオ、パーソナルコンピュータ、携帯
情報端末(モバイルコンピュータ、携帯電話または電子
書籍等)などが挙げられる。それらの一例を図17~図
19に示す。

【0275】図17(A)はパーソナルコンピュータで
あり、本体2001、画像入力部2002、表示部20
03、キーボード2004等を含む。本発明により、額
縁部の面積が小さくなるので全体のサイズをよりコンパ
クトにすることができる。また、本発明により一つの画
素サイズをさらに小さくすることが可能となり、高精細
な表示を実現することができる。

【0276】図17(B)はビデオカメラであり、本体
2101、表示部2102、音声入力部2103、操作
スイッチ2104、バッテリー2105、受像部210
6等を含む。

【0277】図17(C)はモバイルコンピュータ(モ
ービルコンピュータ)であり、本体2201、カメラ部
2202、受像部2203、操作スイッチ2204、表
示部2205等を含む。

【0278】図17(D)はゴーグル型ディスプレイで
あり、本体2301、表示部2302、アーム部230

3等を含む。

【0279】図17(E)はプログラムを記録した記録
媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであ
り、本体2401、表示部2402、スピーカ部240
3、記録媒体2404、操作スイッチ2405等を含
む。なお、このプレーヤーは記録媒体としてDVD(D
igital Versatile Disc)、CD
等を用い、音楽鑑賞や映画鑑賞やゲームやインターネット
を行うことができる。

10 【0280】図17(F)はデジタルカメラであり、本
体2501、表示部2502、接眼部2503、操作ス
イッチ2504、受像部(図示しない)等を含む。

【0281】図18(A)はフロント型プロジェクター
であり、投射装置2601、スクリーン2602等を含
む。実施例3を投射装置2601の一部を構成する液晶
モジュール2808に適用し、装置全体を完成させること
ができる。本発明により一つの画素サイズをさらに小
さくすることが可能となり、高精細な表示部を実現する
ことができる。加えて、本発明により開口率を向上する
ことができる。

20 【0282】図18(B)はリア型プロジェクターであ
り、本体2701、投射装置2702、ミラー270
3、スクリーン2704等を含む。実施例3を投射装置
2702の一部を構成する液晶モジュール2808に適
用し、装置全体を完成させることができる。本発明によ
り一つの画素サイズをさらに小さくすることが可能とな
り、高精細な表示部を実現することができる。加えて、
本発明により開口率を向上することができる。

30 【0283】なお、図18(C)は、図18(A)及び
図18(B)中における投射装置2601、2702の
構造の一例を示した図である。投射装置2601、27
02は、光源光学系2801、ミラー2802、280
4~2806、ダイクロイックミラー2803、プリズ
ム2807、液晶モジュール2808、位相差板280
9、投射光学系2810で構成される。投射光学系28
10は、投射レンズを含む光学系で構成される。本実施
例は三板式の例を示したが、特に限定されず、例えば単
板式であってもよい。また、図18(C)中において矢
印で示した光路に実施者が適宜、光学レンズや、偏光機
能を有するフィルムや、位相差を調節するためのフィル
ム、IRフィルム等の光学系を設けてもよい。

40 【0284】また、図18(D)は、図18(C)中
における光源光学系2801の構造の一例を示した図であ
る。本実施例では、光源光学系2801は、リフレクタ
ー2811、光源2812、レンズアレイ2813、2
814、偏光変換素子2815、集光レンズ2816で
構成される。なお、図18(D)に示した光源光学系は
一例であって特に限定されない。例えば、光源光学系に
実施者が適宜、光学レンズや、偏光機能を有するフィル
ムや、位相差を調節するフィルム、IRフィルム等の光

学系を設けてもよい。

【0285】ただし、図18に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びELモジュールでの適用例は図示していない。

【0286】図19(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部(CCD、イメージセンサ等)2907等を含む。本発明により、額縁部の面積が小さくなるので全体のサイズをよりコンパクト、且つ、軽量化することができる。また、本発明により一つの画素サイズをさらに小さくすることが可能となり、高精細な表示を実現することができる。

【0287】図19(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。

【0288】図19(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。

【0289】ちなみに図19(C)に示すディスプレイは中小型または大型のもの、例えば5~20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一边が1mのものをいい、多面取りを行って量産することが好ましい。

【0290】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施の形態1乃至3、実施例1乃至6のどのような組み合わせからなる構成を用いても実現することができる。

【0291】

【発明の効果】本発明により、比較的少ないマスク数で絶縁表面を有する基板上に複数のTFTを3次的に高集積化した高性能な半導体装置を実現することができる。

【0292】また、本発明により、絶縁表面を有する基板上に形成するCMOS回路の占有面積を大幅に縮小することができる。加えて、占有面積を大幅に縮小した本発明のCMOS回路は、作製の際に使用するマスク数を

6枚または7枚で完成させることができる。

【0293】また、本発明により、絶縁表面を有する基板上に形成する複数のTFTの占有面積を大幅に縮小できるため、レイアウトのマージンを広げることができる。

【0294】従って、液晶表示装置やOLEDを有する発光装置などに代表される表示装置において、画素部または駆動回路のいずれか、若しくは両方の領域において、水平方向の占有面積(複数のTFTが占める占有面積)を縮小できる。

【0295】また、本発明により、一つの画素サイズをさらに小さくすることが可能となり、高精細な表示装置を実現できる。また、本発明は、複数のTFTの占有面積を大幅に縮小できるため、一つの画素に複数のTFTや様々な回路を設けることができる。

【図面の簡単な説明】

【図1】 実施の形態1を示す図。(CMOS回路)

【図2】 実施の形態2を示す図。(OLED)

【図3】 実施の形態2を示す図。(OLED)

【図4】 実施の形態3を示す図。(LCD)

【図5】 実施の形態3を示す図。(LCD)

【図6】 波長とアモルファスシリコンの透過率及び反射率の関係を示す図。

【図7】 波長とポリシリコンの透過率及び反射率の関係を示す図。

【図8】 駆動回路におけるブロック図。(実施例1)

【図9】 等価回路を示す図。(実施例1)

【図10】 ELモジュールの上面図および断面図を示す図。

【図11】 画素の構成を示す回路図。(実施例2)

【図12】 画素の構成を示す回路図。(実施例3)

【図13】 実施例4を示す図。

【図14】 実施例4を示す図。

【図15】 実施例5を示す図。

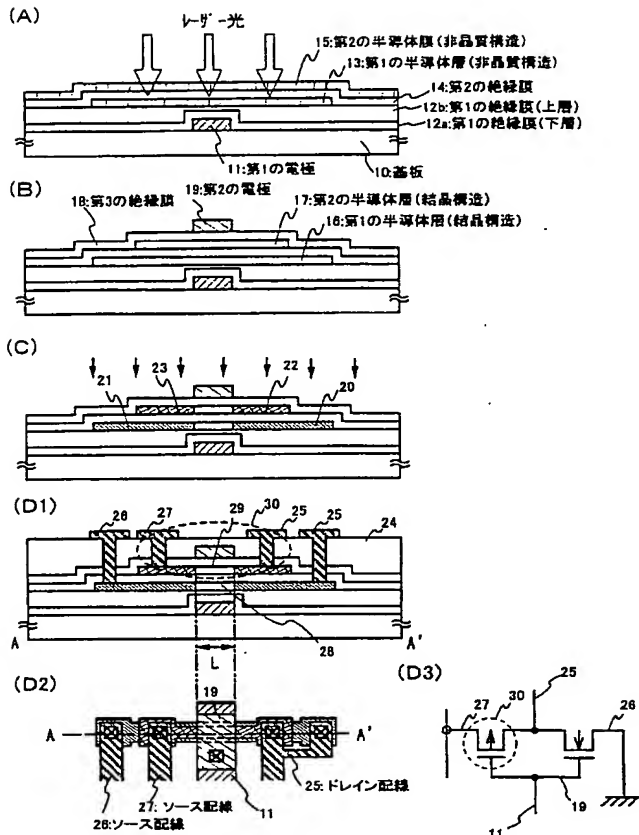
【図16】 実施例6を示す図。

【図17】 電子機器の一例を示す図。

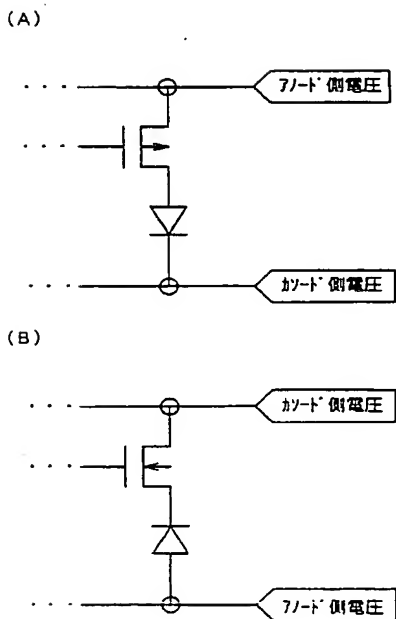
【図18】 電子機器の一例を示す図。

【図19】 電子機器の一例を示す図。

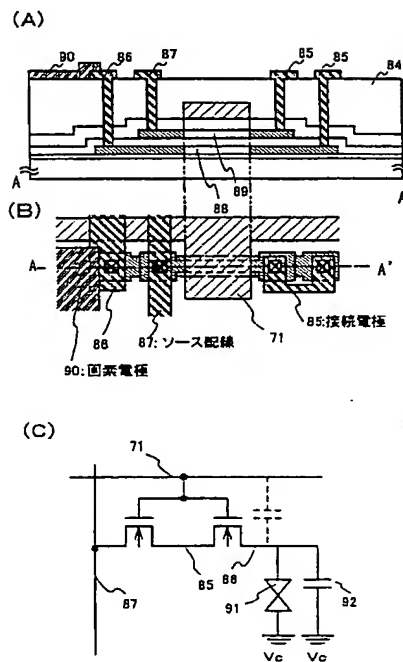
【図1】



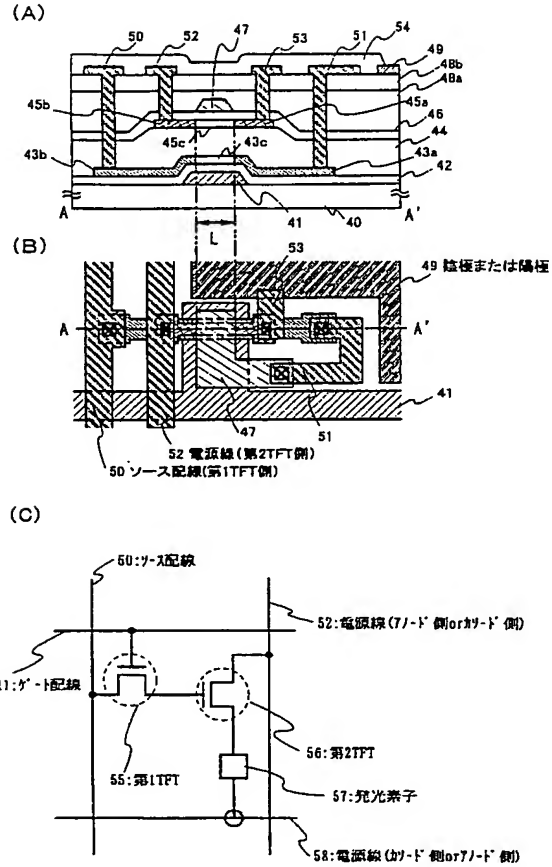
【図3】



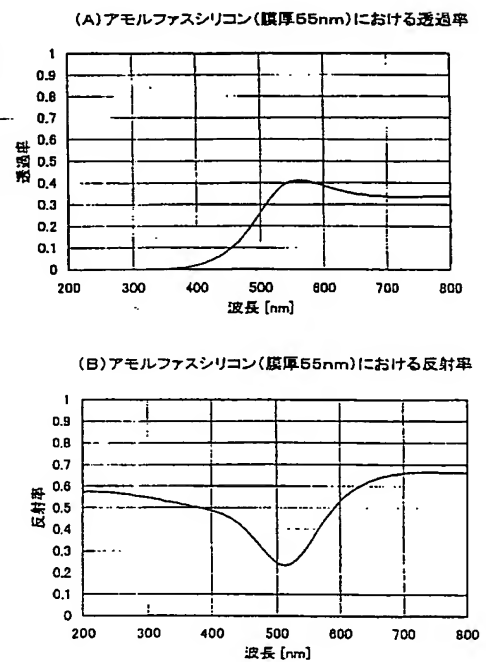
【図5】



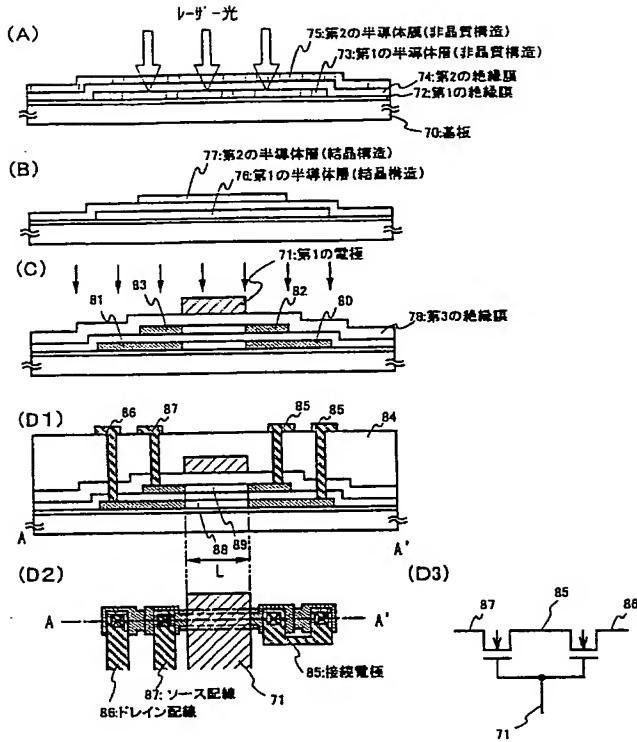
【図2】



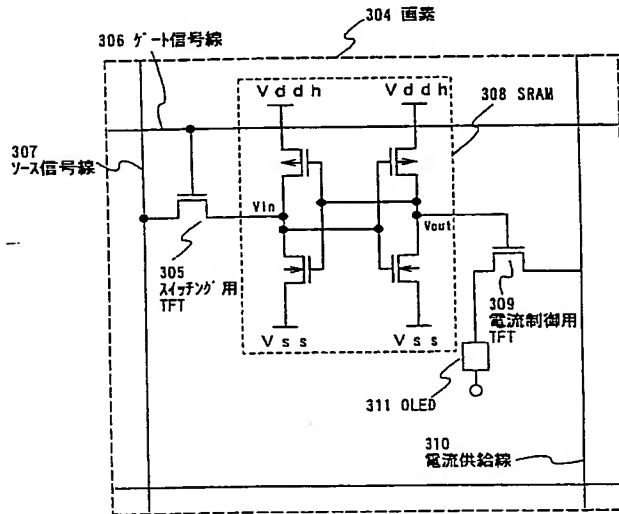
【図6】



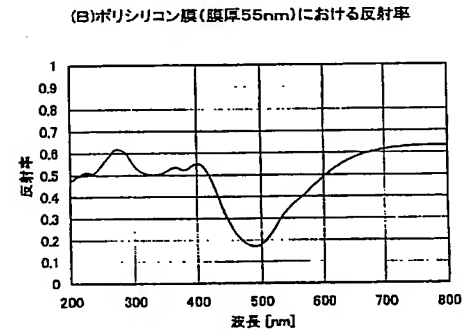
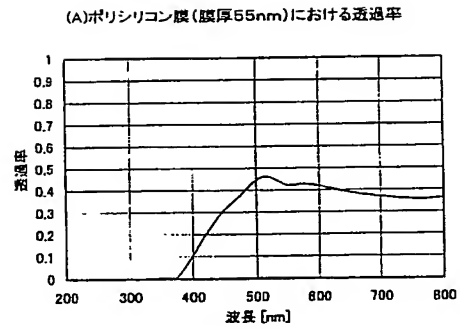
【図4】



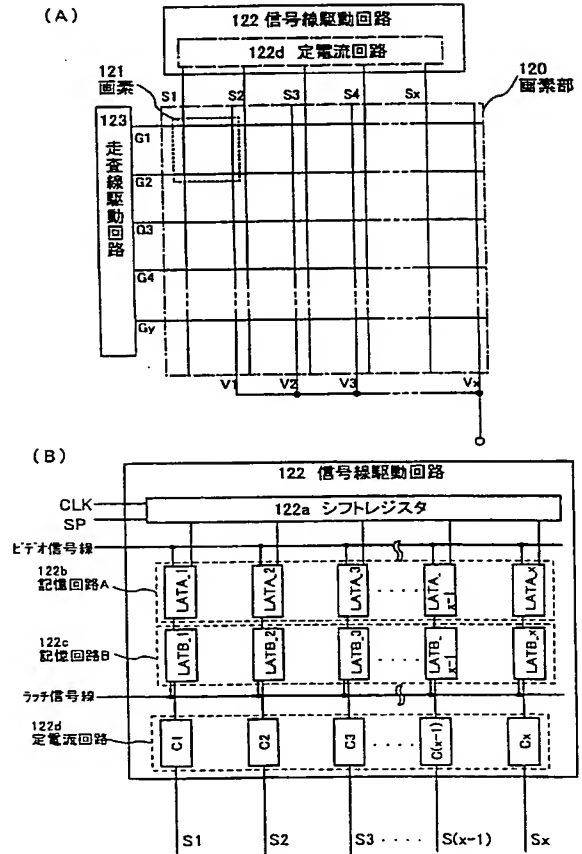
【図11】



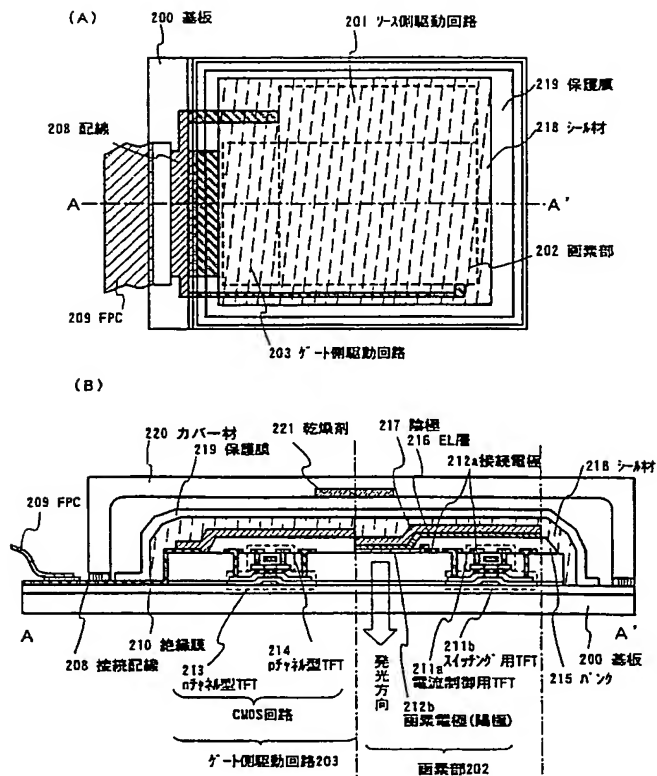
【図7】



【図8】

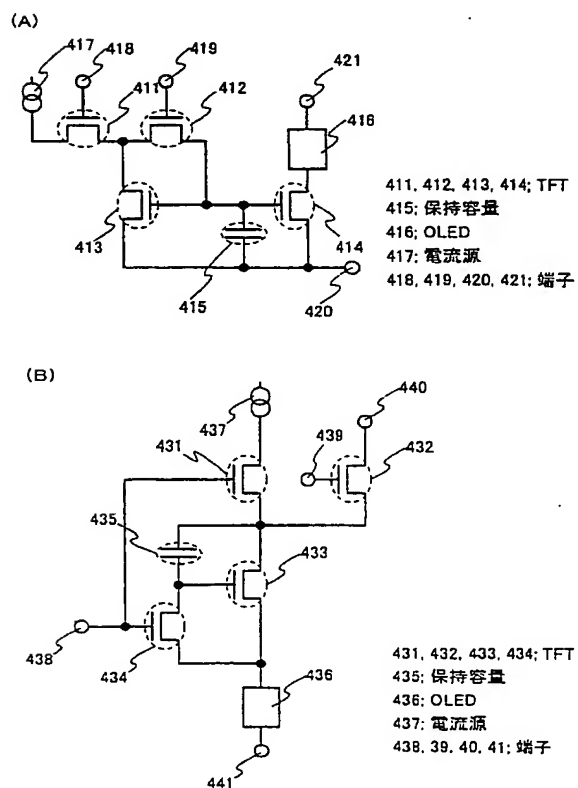


【図 10】

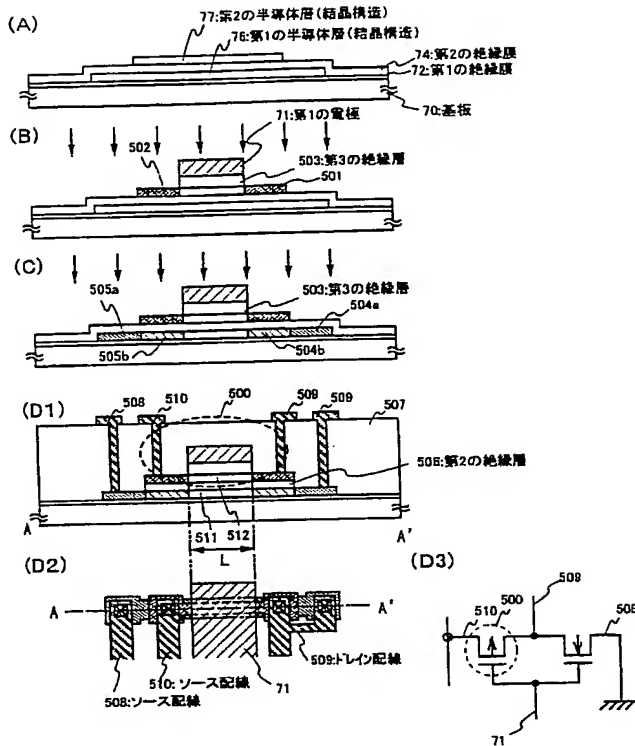


【图 1 2】

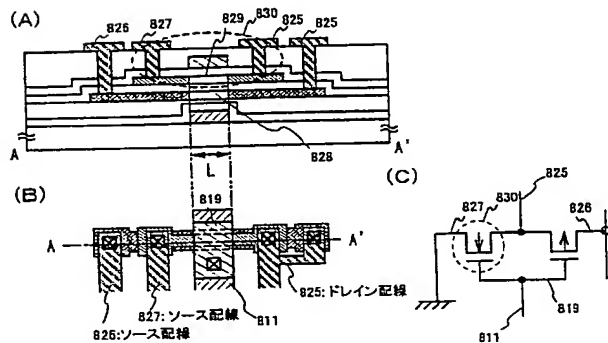
【图 14】



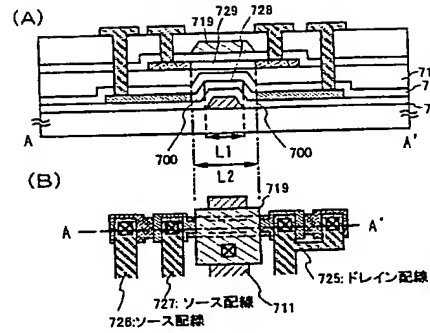
【図13】



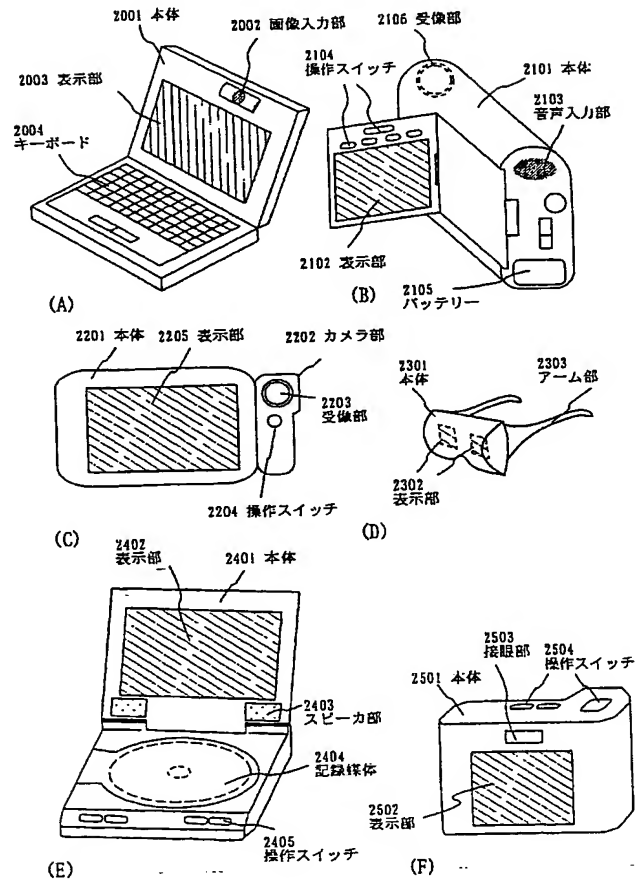
【図16】



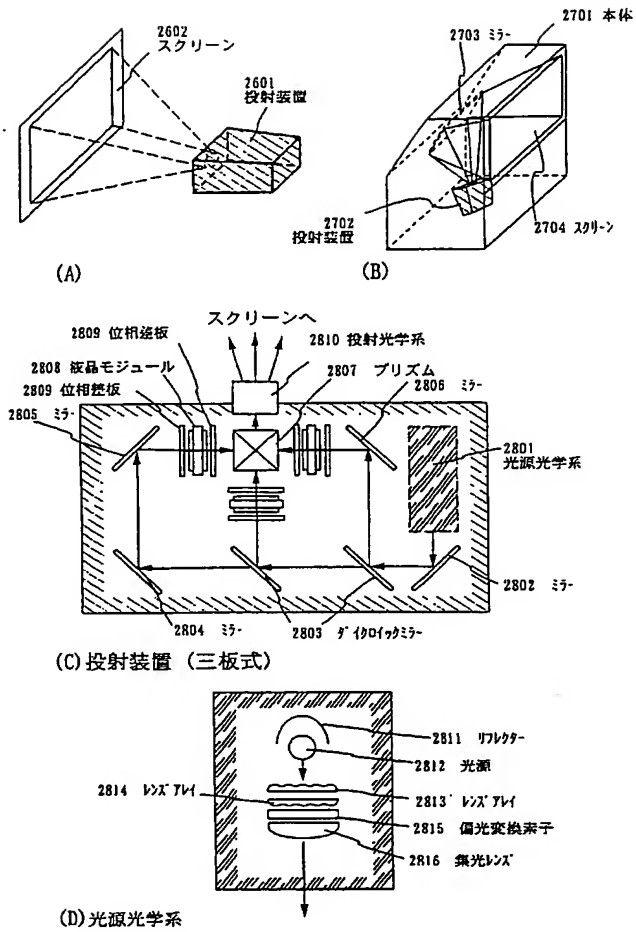
【図15】



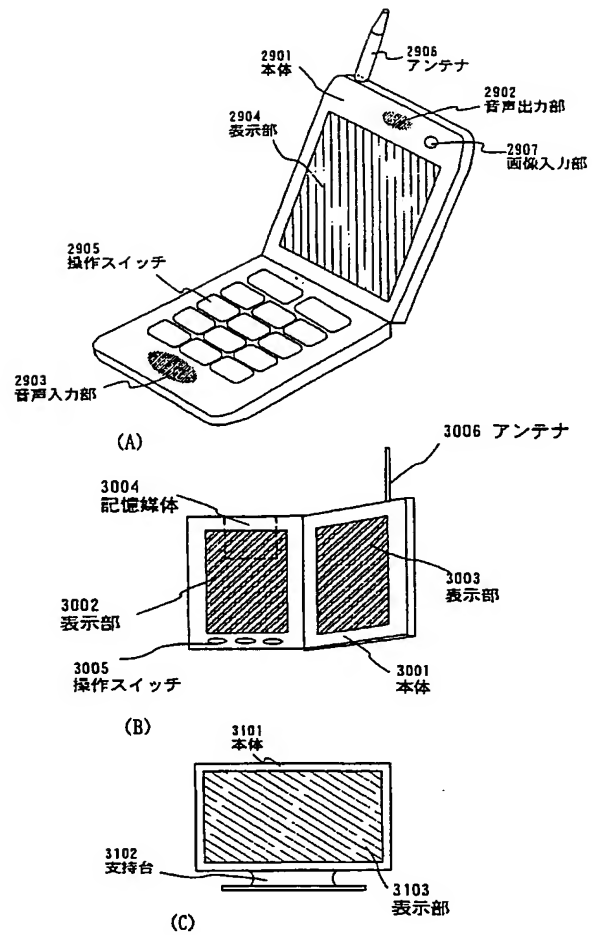
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.⁷

識別記号

H01L 21/20
21/336
21/8238
27/00
27/092
H01S 3/00

301

FI

H01L 27/00
H01S 3/00
H01L 29/78
27/08

テマコード (参考)

301A 5F110
A 5G435
613Z
613A
627G
321G

F ターム(参考) 2H092 JA00 JA28 JA31 JA34 JA37
JB41 JB44 JB56 KA05 MA13
MA17 MA30 NA27
5C094 AA05 AA15 BA03 BA43 CA19
DA15 EA04 EA07 JA11
5F048 AC04 BA16 BA19 BB09 BC11
BC18 BE08 BG07 CB10
5F052 AA02 AA24 BB02 BB04 DA01
DA02 DA03 DB02 DB03 DB07
JA01
5F072 RR05 YY08
5F110 AA04 BB02 BB04 BB06 BB07
BB11 CC02 CC08 DD01 DD02
DD03 DD12 DD15 DD17 EE02
EE03 EE04 EE06 EE09 EE14
EE28 FF01 FF02 FF03 FF04
FF09 FF23 FF27 FF28 FF30
FF32 FF36 GG01 GG02 GG13
GG25 GG30 GG32 GG34 GG43
GG45 GG47 HJ01 HJ04 HJ12
HJ13 HJ23 HM14 HM15 NN03
NN24 NN27 NN71 NN73 NN78
PP03 PP04 PP05 PP06 PP11
PP23 PP24 PP29 PP34 QQ09
QQ11 QQ19 QQ21 QQ28
5G435 AA01 AA18 BB12 CC09 KK05
KK09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)